

(19) JAPANESE PATENT OFFICE (JP)

## (12) LAID-OPEN PATENT GAZETTE (A)

(11) Publication Number

10-48651

(43) Date of Publication of Application February 20, 1998

(51) Int. Cl. <sup>6</sup>		Domestic Classification symbol		FI	
G02F	1/1343			G02F	1/1343
	1/136	500			1/136
H01L	29/786			H01L	29/78
	21/336				612C
					612Z
Request for examination: Not filed Number of claims: 9 OL (Total pages: 16)					
(21) Application Number		08-202633		(71) Applicant	395003523
				Frontec Co., Ltd.	
(22) Date of Filing		July 31, 1996		(72) Inventor	Sai Motoshige
				(74) Agent	Patent Attorney
				Shiga Masatake	

(54) [TITLE OF THE INVENTION] THIN FILM TRANSISTOR TYPE LIQUID CRYSTAL DISPLAY DEVICE

## (57) [ABSTRACT]

[Object] To provide a thin film transistor type liquid crystal display device with which the fabrication steps can be simplified by forming a bridging portion for connecting a gate wiring line or source wiring line formed in a segmented manner, using the same material as a pixel portion, and with which good contact is made by forming the bridging portion via a hole provided in an insulating film.

[Means to solve the problem] A pair of substrates is arranged in opposition to each other and a liquid crystal is provided between the pair of substrates. On one of the substrates, a plurality of gate wiring lines and a plurality of source wiring lines are formed in a matrix, and a pixel portion is formed in each region surrounded by the gate wiring lines and the source wiring lines. Either the gate wiring lines or the source wiring lines are formed so as to be segmented at intersected portions of the gate wiring lines and the source wiring lines. Bridging portions for electrically connecting the segmented

portions of the gate wiring lines or the source wiring lines and pixel electrodes composing the pixel portions are simultaneously formed using the same conductive material.

[CLAIMS]

[CLAIM 1] A thin film transistor type liquid crystal display device comprising a pair of substrates arranged in opposition to each other with a liquid crystal provided between the pair of substrates, a plurality of gate wiring lines and a plurality of source wiring lines formed in a matrix on one of the substrates, and a pixel portion formed in each region surrounded by the gate wiring lines and the source wiring lines, characterized in that: the gate wiring lines or the source wiring lines are formed so as to be segmented at intersected portions of the gate wiring lines and the source wiring lines; and bridging portions and pixel electrodes are simultaneously formed using a same conductive material, the bridging portions electrically connecting segmented portions of the gate wiring lines or the source wiring lines, the pixel electrodes composing the pixel portions.

[CLAIM 2] A thin film transistor type liquid crystal display device comprising a pair of substrates arranged in opposition to each other with a liquid crystal provided between the pair of substrates, a plurality of gate wiring lines and a plurality of source wiring lines formed in a matrix on one of the substrates, and a pixel portion formed in each region surrounded by the gate wiring lines and the source wiring lines, characterized in that: the pixel portion includes a plurality of first pixel electrodes provided parallel to one another and second pixel electrodes parallel to the first pixel electrodes and each corresponding to each of the first pixel electrodes, the second pixel electrodes provided alternately with the first pixel electrodes so that corresponding electrode pairs cooperatively generate electrical potential; the gate wiring lines or the source wiring lines are formed so as to be segmented at intersected portions of the gate wiring lines and the source wiring lines;

and bridging portions and the first pixel electrodes are simultaneously formed using a same conductive material, the bridging portions electrically connecting segmented portions of the gate wiring lines or the source wiring lines, the first pixel electrodes composing the pixel portions.

[CLAIM 3] The thin film transistor type liquid crystal display device as set forth in claim 1, characterized in that a drain electrode of a thin film transistor and the pixel electrode are integrally formed, the thin film transistor electrically turning on and off the pixel electrode.

[CLAIM 4] The thin film transistor type liquid crystal display device as set forth in claim 2, characterized in that a drain electrode of a thin film transistor and the first pixel electrodes are integrally formed, the thin film transistor electrically turning on and off the first pixel electrodes.

[CLAIM 5] The thin film transistor type liquid crystal display device as set forth in any of claims 1 to 4, characterized in that a source electrode of a thin film transistor and the bridging portions are integrally formed, the thin film transistor electrically turning on and off the pixel electrode(s).

[CLAIM 6] The thin film transistor type liquid crystal display device as set forth in any of claims 1 to 4, characterized in that the bridging portions are electrically connected to the segmented gate wiring lines or the segmented source wiring lines via holes each provided in an insulating film formed on the segmented gate wiring lines or the segmented source wiring lines, each of the holes corresponding to each segmented portion of the segmented wiring lines.

[CLAIM 7] The thin film transistor type liquid crystal display device as set forth in claim 1, characterized in that the pixel electrode includes a plurality of first pixel electrodes provided parallel to one another and second pixel electrodes parallel to the first pixel electrodes and each corresponding to each of the first pixel electrodes, the second pixel electrodes provided alternately with the first pixel electrodes so that corresponding electrode pairs cooperatively generate electrical potential.

[CLAIM 8] The thin film transistor type liquid crystal display device as set forth in claim 1, characterized in that: surfaces of the segmented gate wiring lines or the segmented source wiring lines are formed of chromium or molybdenum; and the bridging portions and the pixel electrodes are formed of an oxide transparent conductive material.

[CLAIM 9] The thin film transistor type liquid crystal display device as set forth in claim 2, characterized in that: surfaces of the segmented gate wiring lines or the segmented source wiring lines are formed of chromium or molybdenum; and the bridging portions and the first pixel electrodes are formed of an oxide transparent conductive material.

#### [DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[TECHNICAL FIELD WHERE THE INVENTION BELONGS] The present invention relates to a liquid crystal display device having formed therein thin film transistors and to a method of fabricating such a device. More particularly, the present invention relates to a technique with which the number of masks used in photolithography steps can be reduced.

[0002]

[PRIOR ART] Figs. 12 and 13 show a structural example of a thin film transistor array substrate of a conventional thin film transistor type liquid crystal display device, having partial components such as gate wiring lines G and source wiring lines S provided on a substrate. In the thin film transistor array substrate shown in Figs. 12 and 13, the gate wiring lines G and the source wiring lines S are wired in a matrix on a transparent substrate 6 such as glass. In addition, a thin film transistor 3 is provided in the vicinity of each intersected portion of the gate wiring lines G and the source wiring lines S.

[0003] The thin film transistor 3 shown in Figs. 12 and 13 has a conventional etch-stopper type configuration such that a gate insulating film 9 is formed on the gate wiring lines G and gate electrodes 8 extracted from the gate

wiring lines G, a semiconductor film 10 composed of amorphous silicon (a-Si) is formed on the gate insulating film 9, and further on the semiconductor film 10 a drain electrode 11 and a source electrode 12 composed of a conductive material are provided so as to oppose each another. Note that at the uppermost layer of the semiconductor film 10 an ohmic contact film 10a, composed, for example, of amorphous silicon and doped with a high concentration of impurities such as phosphorus serving as a donor is formed. On the ohmic contact film 10a, an etching stopper 13 is formed with the drain electrode 11 and the source electrode 12 sandwiching the etching stopper 13. Also note that the gate electrode 8 has a two-layered structure composed of a gate insulating film 8a, the upper layer portion, and a gate wiring line 8b, the lower layer portion, and that a transparent pixel electrode 15 composed of a transparent electrode material is formed in an area from the top to side of the drain electrode 11.

[0004] Over the gate insulating film 9, the transparent pixel electrode 15, the source electrode 12, and the like, a passivation film 16 is provided. On the passivation film 16, an alignment film (not shown in the figure) is formed, and above the alignment film a liquid crystal is provided, thereby configuring an active matrix liquid crystal display device. The alignment of liquid crystal molecules can be controlled by applying an electric field to the liquid crystal molecules by the transparent pixel electrode 15. Meanwhile, conventionally, a thin film transistor array substrate having the above-described structure was fabricated in accordance with the steps shown in Table 1 below.

[0005]

[Table 1]

Step	Method	Material	Remark
Initial cleaning	Brushing & UV		
Formation of surface stabilization layer	Reactive sputtering	TaOx	750 nm
Formation of gate wiring line metal	DC sputtering	Al	200 nm

PL of gate wiring line metal (1)	Wet-etching		
Formation of gate electrode	DC sputtering	Ta	400 nm
PL of gate electrode (2)	Dry-etching		
Anodic oxidation of gate electrode		TaO <sub>x</sub>	300 nm
Formation of gate insulation	Plasma enhanced CVD	SiN <sub>x</sub>	250 nm
Formation of a-Si	Plasma enhanced CVD	a-Si	50 nm
Formation of ES insulating layer	Plasma enhanced CVD	SiN <sub>x</sub>	100 nm
PL of ES insulating layer (3)	Wet-etching		Back exposure
Formation of SD semiconductor	Plasma enhanced CVD	n + Si	25 nm
PL of device area (4)	Dry-etching		
Formation of SD electrode	DC sputtering	Ti	400 nm
PL of SD electrode (5)	Dry-etching		
Formation of transparent electrode	Reactive sputtering	ITO	50 nm
PL of transparent electrode (6)	Wet-etching		
Formation of passivation layer	Plasma enhanced CVD	SiN <sub>x</sub>	250 nm
PL of passivation layer (7)	Wet-etching		
Note: PL: Photolithography ES: Etching stopper SD: Source drain			

(1)–(7): Exposure process

[0006] First, a transparent substrate such as glass is prepared, and on the substrate a surface stabilization layer is formed. Then, a metal layer for gate wiring lines is coated on the substrate and etched in a first photolithography step (1) to form gate wiring lines. Subsequently, over the gate wiring lines, a Ta metal film, for example, is coated and then etched in a second photolithography step (2) to form gate electrodes.

[0007] Next, the surfaces of the gate electrodes are coated with TaO<sub>x</sub> to improve the insulation properties of the gate electrodes, and on the gate electrodes a gate insulating film, a semiconductor film, and an insulating film for etching stoppers are formed. The films are then etched in a third photolithography step (3) to form an etching stopper on each of the gate electrodes. Subsequently, an ohmic contact film is formed on the surface of the substrate, and the semiconductor film and the ohmic contact film are patterned in a fourth photolithography step (4) to form a semiconductor

portion above each of the gate electrodes so as to be separated from other portions. Further, a metal film is formed on the surface of the substrate.

[0008] Next, the above-described metal film is patterned in a fifth photolithography step (5) to form source electrodes and drain electrodes. Subsequently, using the source electrodes and the drain electrodes as a mask, the ohmic contact film is subjected to an etching process, thereby forming channel portions. Thereafter, a transparent conductive film is formed on the surface of the substrate and then processed, in a sixth photolithography step (6), into transparent pixel electrodes. Further, a passivation film is formed on the surface of the substrate. Next, a seventh photolithography step (7) is carried out in a manner such that the passivation film is patterned to form contact holes for source terminals and contact holes for gate terminals, thereby completing a thin film transistor array substrate.

[0009]

[PROBLEMS TO BE SOLVED BY THE PRESENT INVENTION] When a thin film transistor array substrate is fabricated using the above-described method, seven photolithography steps are required. That is, the above-described method involves many photolithography steps and requires the formation and removal of a resist material in every photolithography step, which in turn exerts a great influence on yield and increases fabrication costs.

[0010] In fabricating this type of a thin film transistor array substrate, such a structure may be employed that various thin films are stacked on top of each other, a contact hole is formed in a portion of the stacked thin films, and a conductive film is formed in the contact hole to electrically connect the upper film and the lower film via the conductive film. Fig. 14 shows an example of the cross-sectional structure of this type. The structure of this example is such that on a metal film 17, such as Ti, formed on the substrate an insulating film 18 composed of  $\text{SiN}_x$  or the like and a conductive oxide film 19 composed of ITO are stacked and the conductive oxide film 19 is connected

to the metal film 17 via a contact hole 18a formed in the insulating film 18.

[0011] In the structure of this example, the contact hole 18a is formed in a manner such that the insulating film 18 is deposited, and thereafter on the insulating film 18 a resist with a predetermined pattern is coated. Then, by dry etching using an  $\text{SF}_6 + \text{O}_2$  gas or the like, the insulating film 18 is etched to form the contact hole 18a. Subsequently, the resist is stripped using  $\text{O}_2$  plasma, and then the conductive oxide film 19 is deposited. With this method, however, there is a possibility that the metal film 17 is oxidized because the metal film 17 is exposed to an oxide atmosphere through the contact hole 18a in the process of performing the method.

[0012] For this reason, Ti has been conventionally used as a metal that is capable of making a good contact with the conductive oxide film 19 and is less likely to be oxidized by an  $\text{O}_2$  plasma atmosphere, and a thin film of Al or the like that is more likely to be oxidized than Ti cannot be used, which has limited materials used for the metal film 17. For reference, in the case where a contact chain is formed having a structure such that the contact area of a connected portion is set to  $7 \mu\text{m}^2$  and 1600 contact portions are formed, while the contact resistance of an Al thin film to an ITO thin film is  $10^{10}\text{--}10^{12} \Omega$ , the contact resistance of a Ti thin film to an ITO thin film is  $10^4\text{--}10^5 \Omega$ . As is clear from this, the Ti thin film has better contact properties. This is thought to be due to the fact that even with Al having better conductivity than Ti, when the film is exposed to the  $\text{O}_2$  plasma atmosphere, an oxide film is formed on the surface of a connecting portion, and the presence of the oxide film reverses the contact resistance. Moreover, when a Ti thin film is employed as the metal film 17, and when this structure is applied to a thin film transistor array substrate and gate wiring lines are formed using the metal film 17, because in the metal film 17 of Ti, Ti itself has high resistivity, such a structure can be applied to a conventional use, however, there is a possibility of causing signal delay in gate wiring lines, providing a disadvantageous problem in an increase in the



size of liquid crystal panels.

[0013] In view of the foregoing matters, the present invention has been accomplished. An object of the present invention is to provide a thin film transistor type liquid crystal display device with which the fabrication steps are simplified by forming bridging portions for electrically connecting the gate wiring lines or source wiring lines formed in a segmented manner, using the same material as pixel portions, with which yield can be improved by reducing the number of masks required to a level less than that in conventional fabrication methods, and with which a good contact can be made, in the case of connecting segmented gate wiring lines or segmented source wiring lines, by forming bridging portions via holes provided in an insulating film.

[0014]

[MEANS TO SOLVE THE PROBLEMS] In order to solve the foregoing problems, there is provided a liquid crystal display device of a first basic configuration according to the present invention comprising a pair of substrates arranged in opposition to each other with a liquid crystal provided between the pair of substrates, a plurality of gate wiring lines and a plurality of source wiring lines formed in a matrix on one of the substrates, and a pixel portion formed in each region surrounded by the gate wiring lines and the source wiring lines, characterized in that: the gate wiring lines or the source wiring lines are formed so as to be segmented at intersected portions of the gate wiring lines and the source wiring lines; and bridging portions and pixel electrodes are simultaneously formed using a same conductive material, the bridging portions electrically connecting segmented portions of the gate wiring lines or the source wiring lines, the pixel electrodes composing the pixel portions. This configuration allows the pixel electrodes and the bridging portions to be formed simultaneously in one film formation step and by patterning, and thus the number of masks required can be reduced, realizing simplification of steps.

[0015] In addition, in order to solve the foregoing problems, there is provided a liquid crystal display device of a second basic configuration according to the present invention comprising a pair of substrates arranged in opposition to each other with a liquid crystal provided between the pair of substrates, a plurality of gate wiring lines and a plurality of source wiring lines formed in a matrix on one of the substrates, and a pixel portion formed in each region surrounded by the gate wiring lines and the source wiring lines, in which: the pixel portion includes a plurality of first pixel electrodes provided parallel to one another and second pixel electrodes parallel to the first pixel electrodes and each corresponding to each of the first pixel electrodes, the second pixel electrodes provided alternately with the first pixel electrodes so that corresponding electrode pairs cooperatively generate electrical potential; the gate wiring lines or the source wiring lines are formed so as to be segmented at intersected portions of the gate wiring lines and the source wiring lines; and bridging portions and the first pixel electrodes are simultaneously formed using a same conductive material, the bridging portions electrically connecting segmented portions of the gate wiring lines or the source wiring lines, the first pixel electrodes composing the pixel portions. With this configuration, even in a configuration having first pixel electrodes and second pixel electrodes, the first pixel electrodes and the bridging portions can be formed simultaneously in one film formation step and by patterning, and thus the number of masks required can be reduced, realizing simplification of steps.

[0016] In addition, in the present invention, such a configuration can be employed that a drain electrode of a thin film transistor and the pixel electrode are integrally formed, the thin film transistor electrically turning on and off the pixel electrode. With this configuration, the drain electrodes, along with the pixel electrodes and the bridging portions, can be formed simultaneously in one film formation step and by patterning, and thus the number of masks required can be reduced, realizing simplification of steps.

In addition, in the present invention, such a configuration can be employed that a drain electrode of a thin film transistor and the first pixel electrodes are integrally formed, the thin film transistor electrically turning on and off the first pixel electrodes. With this configuration, the drain electrodes, along with the first and second pixel electrodes and the bridging portions, can be formed simultaneously in one film formation step and by patterning, and thus the number of masks required can be reduced, realizing simplification of steps.

[0017] In the present invention, it is also possible to employ such a configuration that a source electrode of a thin film transistor and the bridging portions are integrally formed, the thin film transistor electrically turning on and off the pixel electrode(s). With this configuration, the source electrodes, along with the pixel electrodes or the first pixel electrodes, the bridging portions, and the drain electrodes, can be formed simultaneously in one film formation step and by patterning, and thus the number of masks required can be further reduced, realizing simplification of steps. In addition, the bridging portions may be electrically connected to the segmented wiring lines via holes each provided in an insulating film formed on the segmented gate wiring lines or the segmented source wiring lines, each of the holes corresponding to each segmented portion of the segmented wiring lines. With this configuration, the segmented gate wiring lines or the segmented source wiring lines are securely electrically connected and integrated.

[0018] Further, in the first basic configuration, the pixel electrode may include a plurality of first pixel electrodes provided parallel to one another and second pixel electrodes parallel to the first pixel electrodes and each corresponding to each of the first pixel electrodes, the second pixel electrodes provided alternately with the first pixel electrodes so that corresponding electrode pairs cooperatively generate electrical potential. By such first and second electrodes, an electric field can be cooperatively applied to the liquid

crystal, and by applying or not applying an electric field to the liquid crystal, light transmission conditions are changed, and thus it is possible to obtain a desired display.

[0019] In the first basic configuration, surfaces of the segmented gate wiring lines or the segmented source wiring lines may be formed of chromium or molybdenum, and the bridging portions and the pixel electrodes may be formed of an oxide transparent conductive material. In the second basic configuration, surfaces of the segmented gate wiring lines or the segmented source wiring lines may be formed of chromium or molybdenum, and the bridging portions and the first pixel electrodes may be formed of an oxide transparent conductive material. When the surfaces of the wiring lines are formed of such chromium or molybdenum, the possibility of oxidizing the surfaces of the wiring lines becomes less when forming holes in the insulating film on the wiring lines and then forming pixel electrodes or bridging portions composed of an oxide transparent conductive material, and thus contact resistance is reduced.

[0020]

[EMBODIMENT] The embodiments of the present invention will be described in detail below. Figs. 1(A)–1(C) and 2(A)–2(C) are for describing the fabrication method of a thin film transistor type liquid crystal display device of a first example according to the present invention. A thin film transistor type liquid crystal display device A of this example is basically configured, as shown in Figs. 2(B) and 2(C), such that a liquid crystal 22 is provided between opposing transparent substrates 20 and 21. On the substrate 21, a gate wiring line 23 and a source wiring line 24 are provided in a matrix so as to intersect with each other via an insulating film 25. Further, at the vicinity of each intersected portion, a thin film transistor  $T_1$  and a pixel portion (pixel electrode) 26 are provided. In this manner, a thin film transistor array substrate 27 is configured. As is the case with a conventional liquid crystal display device illustrated in Fig. 12 or 13, the

display device is such that light transmission conditions are switched by applying or not applying an electric field to the liquid crystal 22.

[0021] In the liquid crystal display device A of the first example, as shown in Figs. 2(B) and 2(C), on the substrate 21, the gate wiring line 23 and the discontinuous source wiring line 24 are formed on the same plane such that the source wiring line 24 is provided in the direction orthogonal to the gate wiring line 23 and segmented so as not to contact with the gate wiring line 23. On a portion of the gate wiring line 23 in the vicinity of the approaching portion of the gate wiring line 23 and the source wiring line 24, the thin film transistor  $T_1$  is formed such that a semiconductor active film 28 is sandwiched between a drain electrode 30 and a source electrode 31. The semiconductor active film 28 is formed, in the present example, of a-Si, and at each contact portion where each of the drain electrode 30 and the source electrode 31 contacts with the semiconductor active film 28, a contact layer 34 is provided that is formed of a bottom contact film 32 composed of  $n^+$  a-Si and a silicide layer 33 stacked on top of each other. The silicide layer 33 is formed in a manner such that a film of a silicide constituent element such as Mo, Ta, or W is deposited on the semiconductor active film 28, and then heat treated, followed by element diffusion. Note that a cross-sectional structure shown in Fig. 2(B) shows a cross section along the line  $A_3-A_4$  in Fig. 2(C).

[0022] The drain electrode 30 of the thin film transistor  $T_1$  is formed of a transparent conductive material and connected to the transparent pixel electrode 26, and the source electrode 31 of the thin film transistor  $T_1$  is formed of a transparent conductive material. In addition, a contact hole 35 is formed in a portion of the insulating film 25 on each end portion of the source wiring line in the vicinity of the gate electrode 23. A bridging portion 36 is provided which is composed of an oxide transparent conductive material and connects and provides conduction between segmented portions of each source wiring line 24 via the contact holes 35. The source electrode 31 of the thin film transistor  $T_1$  is connected to the bridging portion 36 in the

vicinity of the respective thin film transistor. Note that in the liquid crystal display device A shown in Fig. 5, common electrodes, a black mask, color filters, and the like to be formed on the other substrate 20 are omitted and only the substrate 20 is illustrated. In addition, Fig. 3 shows the equivalent circuit of the liquid crystal display device A of the present example. As shown in Fig. 3, a plurality of source wiring lines 24 are provided such that segmented portions of the plurality of source wiring lines 24 are connected to each other by a plurality of bridging portions 36, and gate wiring lines 23 are arranged in a matrix with respect to the source wiring lines 24. Here, each of the source wiring lines 24 and each of the gate wiring lines 23 are connected to a signal supplying circuit 37 and a scanning circuit 38, respectively.

[0023] A transistor array substrate 27 having the above-described structure is fabricated as follows. First, as shown in Fig. 1(A), on a substrate 21, a conductive film composed of a conductive metal material such as Cr, Mo, or the like is formed, and then patterning is carried out in a manner such that a resist is applied and a pattern is exposed, and then after removing unwanted portions by etching, the resist is stripped, thereby forming a gate wiring line 23 and a source wiring line 24, whose cross-sectional structure and plane structure are shown in Figs. 1(A) and 1(B), respectively. Note that the number of the gate wiring lines 23 to be formed and the number of the source wiring lines 24 to be formed are determined in accordance with the size of the display screen of the liquid crystal display device to be fabricated. Though, in Fig. 1(B), only one each of the gate and source wiring lines are illustrated, in practice, a plurality of the gate wiring lines 23 and a plurality of the source wiring lines 24, in required number, are placed side by side in a line, in the up-down direction and the left-right direction in Fig. 1(B), respectively. Note that the cross-sectional structure shown in Fig. 1(A) shows a cross section along the line A<sub>1</sub>-A<sub>2</sub> in Fig. 1(B). Also note that in the above-described patterning, the source wiring lines 24 are formed in the

direction orthogonal to the gate wiring lines 23, and here end portions 24a of the source wiring lines 24 are arranged in a position very little away from the gate wiring lines 23 so as not to cause a short circuit between the source wiring lines 24 and the gate wiring lines 23. Consequently, the source wiring lines 24 are formed in the direction orthogonal to the gate wiring lines 23 and in a segmented and discontinuous manner so as not to contact with the gate wiring lines 23.

[0024] Next, on the substrate 21, an insulating film 25 is deposited which is composed of an insulating material such as  $\text{SiN}_x$  and covers the surface of the substrate 21, the gate wiring line 23, and the source wiring line 24. Further, on the insulating film, an a-Si semiconductor active film preliminary layer and an a-Si  $n^+$  preliminary layer are stacked on top of each other. Then, as is the case described above, patterning is carried out using a resist so as to form a semiconductor active film 28 and an a-Si  $n^+$  layer 29 in the form of an island, shown in Figs. 1(A) and 1(B), in a position where a thin film transistor in the vicinity of the source wiring line 24 is to be formed. Subsequently, on the  $n^+$  layer 29, a thin film composed of Mo, Ta, W, or the like is formed and subjected to heat treatment, thereby forming a silicide preliminary layer 41, as shown in Fig. 1(C). Thereafter, only a portion of the thin film composed of the above-described metal, which has not been formed into the silicide preliminary layer 41, is selectively removed using an etchant solution composed, for example, of iodic acid, fluoride acid, and an acetic acid mixture, but not using a resist. In addition, as is the case described above, patterning is carried out using a resist so as to form a contact hole 35 in a portion of the insulating film 25 on each end portion 24a of the source wiring line 24 in the vicinity of the gate wiring line 23.

[0025] Then, a transparent conductive layer 42 composed of an oxide transparent conductive material such as ITO is formed over the insulating film 25 and the silicide preliminary layer 41, so as to cover such a film and a layer, as shown in Fig. 2(A). Note that since the ITO is deposited in an

oxidizing atmosphere, it is preferable that the surface of the source wiring line 24 positioned beneath the contact hole 35 be formed of a material less easily oxidized than Al or the like, such as Cr, Mo, or the like. Subsequently, as is the case described above, patterning is carried out using a resist so as to remove a part of the  $n^+$  layer 29, the silicide preliminary layer 41, and a part of the transparent conductive layer 42, formed in the upper central part of the semiconductor active film 28, as shown in Fig. 2(B), thereby forming a drain electrode 30 and a source electrode 31 which sandwich the semiconductor active film 28 from the both sides and face to each other. At the same time, unwanted portions of the transparent conductive layer 42 are removed, thereby forming a pixel electrode 26, as shown in Figs. 2(B) and 2(C), in a region surrounded by the gate wiring line 23 and the source wiring line 24, and at this point the pixel electrode 26 is connected to the drain electrode 30, a bridging portion 36 composed of a transparent conductive material is formed so as to connect the end portions 24a of the source wiring line 24, and the bridging portion 36 is connected to the source electrode 31, thereby obtaining a thin film transistor array substrate 27 having the structure shown in Figs. 2(B) and 2(C).

[0026] When such fabrication steps as to be described above are employed, the thin film transistor array substrate 27 can be fabricated by carrying out patterning with the use of four masks throughout the steps. Thus, even if, for example, forming a passivation film over the entire surface and adding a photolithography step for forming source terminals and gate terminals, the number of masks required can be reduced to a level less than that in conventional methods having required 6–7 masks. Moreover, a reduction in the number of patterning steps makes it possible to simplify the fabrication steps, improving fabrication yield.

[0027] Figs. 4(A)–4(D) and 5(A)–5(C) are for describing the fabrication method of a liquid crystal display device of a second example according to the present invention. The liquid crystal display device of the present example



is basically configured, as shown in Figs. 5(B) and 5(C), such that a liquid crystal 52 is sandwiched between opposing transparent substrates 50 and 51, and on the substrate 51 a gate wiring line 53 and a source wiring line 54 are provided so as to intersect with each other via an insulating film 55. Further, at the vicinity of each intersected portion, a thin film transistor  $T_2$  and a pixel portion (pixel electrode) 56 are provided. In this manner, a thin film transistor array substrate 57 is configured. As is the case with a conventional liquid crystal display device illustrated in Fig. 12, the device is a liquid crystal display device B such that light transmission conditions are switched by applying or not applying an electric field to the liquid crystal 52.

[0028] In the liquid crystal display device B of the second example, as shown in Figs. 5(B) and 5(C), the gate wiring line 53 and the discontinuous source wiring line 54 in the direction orthogonal to the gate wiring line 53, segmented so as not to contact with the gate wiring line 53 are formed within the insulating film 55 on the substrate 51. On a portion of the gate wiring line 53 in the vicinity of the approaching portion of the gate wiring line 53 and the source wiring line 54, the thin film transistor  $T_2$  is formed. The gate wiring line 53 has a two-layered structure made up of a base conductive layer 53A composed of a high-conductivity metal material such as Al and a sub-conductive layer 53B formed on the base conductive layer and composed of a metal material for wiring lines such as Cr or Mo. Likewise, the source wiring line 54 has a two-layered structure made up of a base conductive layer 54A composed of a high-conductivity metal and a sub-conductive layer 54B formed on the base conductive layer and composed of a material for wiring lines. Note that a cross-sectional structure shown in Fig. 5(B) shows a cross section along the line A<sub>7</sub>-A<sub>8</sub> in Fig. 5(C).

[0029] In the thin film transistor  $T_2$ , a semiconductor base portion 65 is provided with semiconductor portions 63 and 64, serving as  $n^+$  layers on the left and right sides, sandwiching the semiconductor base portion. On the semiconductor base portion 65, a gate electrode 67 is formed via an

insulating film 66. On the semiconductor portions 63 and 64, silicide layers 68 are formed, respectively. A channel portion 69 is formed at a portion above the semiconductor base portion 65, sandwiched between the semiconductor portions 63 and 64. Next, a contact hole 80 is formed in the insulating film 55 on each of the silicide layers 68. A drain electrode 60 and a source electrode 61, each composed of an oxide transparent conductive material such as ITO, are provided so as to contact with their respective silicide layers 68 via the contact holes 80. A pixel electrode 56 composed of an oxide transparent conductive material and provided in a region surrounded by the gate wiring line 53 and the source wiring line 54, is connected to the drain electrode 60, and the source wiring line 54 is connected to the source electrode 61. Furthermore, a contact hole 81 is formed in a portion of the insulating film 55 on each end portion 54a of the segmented source wiring line 54 in the vicinity of the gate wiring line 53. The segmented source wiring line 54 is allowed to have conduction by bridging portions 72 composed of an oxide transparent conductive material and provided via the contact holes 81.

[0030] A thin film transistor  $T_2$  having the above-described structure is formed so as to include a portion of the gate wiring line 53 in the vicinity of the intersected portion of the gate wiring line 53 and the source wiring line 54 so that part of the gate wiring line 53 also serves as the gate electrode 67, and the switching of the thin film transistor  $T_2$  is conducted by the gate electrode 67.

[0031] A transistor array substrate 57 having the above-described configuration is fabricated as follows. First, on a substrate 51, a semiconductor preliminary film composed of amorphous silicon hydride (a-Si:H) is formed, and then patterning is carried out in a manner such that a resist is applied over the semiconductor preliminary film and a pattern is exposed, and then after removing unwanted portions by etching, the resist is stripped, thereby forming an island-shaped semiconductor preliminary film

75, whose cross-sectional structure is shown in Fig. 4(A). Note that the semiconductor preliminary film 75 is formed on the substrate 51 at a location where a targeted semiconductor portion of a thin film transistor is to be formed. Next, as shown in Fig. 4(B), an insulating film 74 composed of  $\text{SiN}_x$  or the like is formed so as to cover the semiconductor preliminary film 75 and the substrate 51. Further, on the insulating film, a base conductive film 76 composed of a high-conductivity material such as Al and a sub-conductive film 77 composed of a wiring line material such as Cr or Mo are formed. Subsequently, the insulating film 74, the base conductive film 76, and the sub-conductive film 77 are patterned to form a gate wiring line 53 and a source wiring line 54, whose cross-sectional structure and plane structure are shown in Figs. 4(C) and 9(D), respectively. The gate wiring line 53 on the semiconductor preliminary film 75 serves as a gate electrode 67. Note that the cross-sectional structure shown in Fig. 4(C) shows a cross section along the line  $A_5-A_6$  in Fig. 4(D). Also note that upon the above-described patterning, each of the gate wiring line 53 and the source wiring line 54 is provided on the substrate 51 or on the semiconductor preliminary film 75, via the patterned insulating film 74. Further note that each of the gate wiring line 53 and the source wiring line 54 to be formed here has a two-layered structure, and the required number of the gate and source wiring lines are formed in accordance with the size of the screen of the liquid crystal display device to be fabricated. Though, in Fig. 4(D), only one each of the gate and source wiring lines are illustrated, in practice, a plurality of the gate wiring lines 53 and a plurality of the source wiring lines 54 are placed side by side in a line, in the up-down direction and the left-right direction in Fig. 4(D), respectively. Note that in the above-described patterning, the source wiring lines 54 are formed in the direction orthogonal to the gate wiring lines 53, and here end portions 54a of the source wiring lines 54 are arranged in a position very little away from the gate wiring lines 53 so as not to cause a short circuit between the source wiring lines 54 and the gate

wiring lines 53. Consequently, the source wiring lines 54 are formed in the direction orthogonal to the gate wiring lines 53 and in a segmented and discontinuous manner so as not to contact with the gate wiring lines 53.

[0032] Next, the semiconductor preliminary layer 75 is doped with ions, using, as a mask, the gate electrode 67 and the insulating film 74 provided below the gate electrode, so as to form an  $n^+$  layer, and thus a semiconductor base portion 65 sandwiched between semiconductor portions 63 and 64 is formed. Thereafter, on the semiconductor portions 63 and 64, a thin film of Mo, Ta, W, or the like, for forming a silicide layer is formed and subjected to heat treatment so as to diffuse elements between the semiconductor portions 63 and 64, thereby forming silicide layers 68 and 68 on the semiconductor portions 63 and 64, respectively, as shown in Fig. 5(A). In addition, in the same manner as done for fabricating the liquid crystal display device A of the first example, only metal thin film portions such as Mo, Ta, or W are selectively removed without using a mask. Subsequently, over these films, an insulating film 55 composed of  $\text{SiN}_x$  or the like is covered. Further, as is the case described above, patterning is carried out using a mask so as to form a contact hole 80 in a portion of the insulating film 55 on the silicide layer 68 and to form a contact hole 81 in a portion of the insulating film 55 on each end portion 54a of the source wiring line 54 in the vicinity of the gate wiring line 53.

[0033] Then, over these films, a transparent conductive layer composed of an oxide transparent conductive material such as ITO is formed, and by patterning, a pixel electrode 56 is formed in a region surrounded by the source wiring line 54 and the gate wiring line 53. Between segmented portions of the source wiring line 54, bridging portions 72 are formed so as to connect the segmented portions via the contact holes 81 and 81. The bridging portion 72 and the silicide layer 68 on the semiconductor portion 63 are connected to each other via the contact hole 80 so as to form a source electrode 61 composed of a transparent conductive layer, and the silicide

layer 68 on the semiconductor portion 64 and the pixel electrode 56 are connected to each other so as to form a drain electrode 56 composed of a transparent conductive layer. In this manner, a thin film transistor array substrate 57 having a structure shown in Figs. 5(A) and 5(B) can be obtained.

[0034] When such fabrication steps as to be described above are employed, the thin film transistor array substrate 57 can be fabricated by carrying out patterning with the use of four masks throughout the steps. Thus, as is the case with the foregoing first example, the number of masks required can be reduced to a level less than that in conventional methods having required 6–7 masks. Moreover, a reduction in the number of patterning steps makes it possible to simplify the fabrication steps, improving fabrication yield. Furthermore, since the gate wiring line 53 and the source wiring line 54 are made up of the sub-conductive layer 54B composed of Cr, Mo, or the like and the base conductive layer 54A composed of Al or the like, when forming the contact hole 81 in the insulating film, even if etching is performed in an O<sub>2</sub> plasma atmosphere, only a portion of the sub-conductive layer 54B that is not easily oxidized in an O<sub>2</sub> plasma atmosphere is oxidized, and the base conductive layer 54A with high conductivity that controls the conductivity of the source wiring line 54 is not oxidized, and thus it is possible to restrain the wiring line resistance of the source wiring line 54 to a low level.

[0035] Figs. 6(A)–6(C) and 7(A)–7(C) are for describing the fabrication method of a liquid crystal display device of a third example according to the present invention. The liquid crystal display device of the present example is basically configured, as shown in Figs. 7(B) and 7(C), such that a liquid crystal 92 is sandwiched between opposing transparent substrates 90 and 91, and on the substrate 91 a gate wiring line 93 and a source wiring line 94 are provided so as to intersect with each other via an insulating film 95. Further, at the vicinity of each intersected portion, a thin film transistor T<sub>3</sub> and linear electrodes 96A and 96B are provided. In this manner, a thin film

transistor array substrate 97 is configured. As is the case with a conventional liquid crystal display device illustrated in Fig. 12, the device is a liquid crystal display device C such that light transmission conditions are switched by applying or not applying an electric field to the liquid crystal 92. Note, however, that the driving system of liquid crystals in the configuration employed in the present example completely differs from that in the aforementioned first and second examples in that liquid crystals are aligned by an electric field generated by the linear electrodes 96A and 96B. The driving system of liquid crystals by the linear electrodes 96A and 96B will be described in detail later.

[0036] In the liquid crystal display device C of the third example, as shown in Figs. 7(B) and 7(C), on the substrate 91, the gate wiring line 93 and the discontinuous source wiring line 94 in the direction orthogonal to the gate wiring line 93, segmented so as not to contact with the gate wiring line 93 are formed on the same plane. On a portion of the gate wiring line 93 in the vicinity of the approaching portion of the gate wiring line 93 and the source wiring line 94, a thin film transistor  $T_3$  is formed such that a semiconductor active film 98 is sandwiched between a drain electrode 100 and a source electrode 101. Note that the semiconductor active film 98 is formed, in the present example, of a-Si, and at each contact portion where each of the drain electrode 100 and the source electrode 101 contacts with the semiconductor active film 98, a contact layer 104 is provided that is formed of a bottom contact film 102 composed of  $n^+$  a-Si and a silicide layer 103 stacked on top of each other. Also note that the silicide layer 103 is formed in a manner such that a film of a silicide constituent element such as Mo, Ta, or W is deposited on the semiconductor active film 98, and then heat treated, followed by element diffusion.

[0037] Then, the drain electrode 100 of the thin film transistor  $T_3$  is formed of an oxide transparent conductive material and connected to the linear electrode (a first pixel electrode) 96A provided parallel to the source wiring

line 94 and composed of an oxide transparent conductive material. The source electrode 101 of the thin film transistor  $T_3$  is formed of an oxide transparent conductive material. In addition, a contact hole 105 is formed in a portion of the insulating film 95 on each end portion of the source wiring line in the vicinity of the gate electrode 93. A bridging portion 106 is provided which is composed of an oxide transparent conductive material and connects and provides conduction between segmented portions of each source wiring line 94 via the contact holes 105. The source electrode 101 of the thin film transistor  $T_3$  is connected to the bridging portion 106 in the vicinity of the respective thin film transistor. Note that a cross-sectional structure shown in Fig. 7(B) shows a cross-sectional structure along the line  $A_9$ - $A_{10}$  in Fig. 7(C).

[0038] Furthermore, two linear electrodes (second pixel electrodes) 96B are formed parallel to the linear electrode 96A in a position that sandwiches the linear electrode 96A. The linear electrodes 96B are connected at a base end portion 96C and formed in a planar three-sided square shape, as shown in Fig. 7(C). On portions of the base end portion 96C in the vicinity of the gate wiring line 94, connecting portions 96D having a projection shape are formed. In addition, in a region surrounded by the gate wiring line 93 and the source wiring line 94, shown in Fig. 7(C), the linear electrodes 96A and 96B are formed, and other regions adjacent to this region also have their respective linear electrodes 96A and 96B formed therein. The adjacent left and right connecting portions 96D on the base end portion 96C are connected to each other by a conductive connecting portion 108 composed of an oxide transparent conductive material, as will be described below. Specifically, a contact hole 107 is formed in a portion of the insulating film 95 on each of the connecting portions 96D. The conductive connecting portion 108 connected to the connecting portions 96D via the contact holes 107 is provided so as to cross over the source wiring line 94 and connected to each base end portion 96C. Note that in the liquid crystal display device C shown in Fig. 7(C), a

black mask, color filters, and the like to be formed on the other substrate 90 are omitted and only the substrate 90 is illustrated.

[0039] A transistor array substrate 97 having the above-described structure is fabricated as follows. First, as shown in Fig. 6(A), on a substrate 91, a conductive film composed of a conductive metal material and having a foundation of Al and a surface layer of Cr, Mo, or the like is formed, and then patterning is carried out in a manner such that a resist is applied and a pattern is exposed, and then after removing unwanted portions by etching, the resist is stripped, thereby forming a gate wiring line 93, a source wiring line 94, and linear electrodes 96B and 96B, whose cross-sectional structure and plane structure are shown in Figs. 6(A) and 6(B), respectively. Note that the cross-sectional structure shown in Fig. 6(A) shows a cross section along the line A<sub>11</sub>-A<sub>12</sub> in Fig. 6(B). Also note that the number of the gate wiring lines 93 to be formed and the number of the source wiring lines 94 to be formed are determined in accordance with the size of the screen of the liquid crystal display device to be fabricated. Though, in Fig. 6(B), only one each of the gate and source wiring lines are illustrated, in practice, a plurality of the gate wiring lines 93 and a plurality of the source wiring lines 94 are placed side by side in a line, in the up-down direction and the left-right direction in Fig. 6(B), respectively. Further note that in the above-described patterning, the source wiring lines 94 are formed in the direction orthogonal to the gate wiring lines 93, and here end portions 94a of the source wiring lines 94 are arranged in a position very little away from the gate wiring lines 93 so as not to cause a short circuit between the source wiring lines 94 and the gate wiring lines 93. Consequently, the source wiring lines 94 are formed in the direction orthogonal to the gate wiring lines 93 and in a segmented and discontinuous manner so as not to contact with the gate wiring lines 93.

[0040] Next, on the substrate 91, an insulating film 95 is deposited which is composed of an insulating material such as SiN<sub>x</sub> and covers the surface of the



substrate 91, the gate wiring line 93, the source wiring line 94, and the linear electrodes 96B. Further, on the insulating film, an a-Si semiconductor active film preliminary layer and an a-Si  $n^+$  preliminary layer are stacked on top of each other. Then, as is the case described above, patterning is carried out using a mask so as to form a semiconductor active film 98 and an a-Si  $n^+$  layer 99 in the form of an island, shown in Figs. 6(A) and 6(B), in a position where a thin film transistor in the vicinity of the source wiring line 94 is to be formed. Subsequently, on the  $n^+$  layer 99, a thin film composed of Mo, Ta, W, or the like is formed and subjected to heat treatment, thereby forming a silicide preliminary layer 110, as shown in Fig. 6(C). Thereafter, the same treatment is provided as was done in the foregoing first example so as to selectively remove the thin film composed of Mo, Ta, W, or the like without the use of a resist. In addition, as is the case described above, patterning is carried out using a mask, thereby forming a contact hole 105 in a portion of the insulating film 95 on each end portion 94a of the source wiring line 94 in the vicinity of the gate wiring line 93 and also forming a contact hole 107 in a portion of the insulating film 95 on a connecting portion 96D of the linear electrode 96B.

[0041] Then, a transparent conductive layer 109 composed of an oxide transparent conductive material such as ITO is formed so as to cover the insulating film 95, the silicide preliminary layer 110, and the like. Subsequently, as is the case described above, patterning is carried out using a mask so as to remove a part of the  $n^+$  layer 99, the silicide preliminary layer 110, and a part of the transparent conductive layer, formed in the upper central part of the semiconductor active film 98, thereby forming a drain electrode 100 and a source electrode 101 which sandwich the semiconductor active film 98 from the both sides and face to each other. At the same time, unwanted portions of the transparent conductive layer are removed, thereby forming a linear electrode 96A, as shown in Figs. 7(B) and 7(C), in a region surrounded by the gate wiring line 93 and the source wiring

line 94, and at this point the drain electrode 100 is connected to the linear electrode 96A, a bridging portion 106 is formed so as to connect the end portions 94a of the source wiring line 94, and the bridging portion 106 is connected to the source electrode 101. Further, a conductive connecting portion 108 for connecting the adjacent connecting portions 96D of the linear electrodes 96B is formed so as to cross over the source wiring line 94. In this manner, a thin film transistor array substrate 97 having a structure shown in Figs. 7(B) and 7(C) can be obtained.

[0042] When such fabrication steps as to be described above are employed, the thin film transistor array substrate 27 can be fabricated by carrying out patterning with the use of four masks throughout the steps. Thus, as is the case with the foregoing first example, the number of masks required can be reduced to a level less than that in conventional methods having required 6-7 masks. Moreover, a reduction in the number of patterning steps makes it possible to simplify the fabrication steps, improving fabrication yield.

[0043] Now, the polarization direction of polarizers, the rubbing direction of alignment films, and the liquid crystal driving system for a liquid crystal display device C having a structure shown in Figs. 7(B) and 7(C) are described. First, a conventional twisted-nematic mode (TN mode) active matrix type liquid crystal display device is described below.

[0044] A conventional TN mode liquid crystal display device of this type is configured such that two glass substrates, each provided with a polarizer, a transparent electrode, and an alignment film, are arranged in opposition to each other with a gap therebetween so that the alignment directions of the alignment films differ by  $90^\circ$ , and between the substrates nematic liquid crystals are provided so as to be arranged with a  $90^\circ$  twist.

[0045] In recent years, however, TN mode liquid crystal display devices of this type have presented a problem in their viewing angle dependence. The structure that can overcome this problem is a liquid crystal display device C, shown in Fig. 7(B), employing linear electrodes 96A and 96B. The

alignment direction of alignment films, the orientation of liquid crystal molecules 92A composing a liquid crystal 92, and the like in the liquid crystal display device C having the above-described configuration are collectively shown in Figs. 8 and 9. The liquid crystal display device C has a configuration such that only a lower substrate 91 shown in Fig. 7(B) has two types of linear electrodes 96A and 96B having differing polarities provided thereon so as to be spaced apart from each other and an upper substrate 90 has no electrodes provided thereon, but not such that each of the upper and lower substrates sandwiching a liquid crystal has an electrode for driving the liquid crystal provided thereon. In this device, the liquid crystal molecules 92A can be oriented along the direction of an electric field generated between the linear electrodes 96A and 96B by application of a voltage. Fig. 8 shows a connection relationship among the linear electrodes 96A and 96B, a thin film transistor  $T_3$  serving as a switching element, and a power source 119. In addition, as shown in Fig. 9(A), an alignment film is formed on a surface of an upper substrate 90 on the liquid crystal side and provided with an alignment treatment so that liquid crystal molecules 92A are aligned in  $\beta$  direction, and another alignment film is formed on a surface of a lower substrate 91 on the liquid crystal side and provided with an alignment treatment so that the liquid crystal molecules 92A are aligned in  $\gamma$  direction parallel to the  $\beta$  direction. Then, on the outer surface of each of the substrates 90 and 91, a polarizer similar to that employed in a conventional general configuration is disposed.

[0046] According to the above-mentioned configuration, when a voltage is not applied between the linear electrodes 96A and 96B, the liquid crystal molecules 92A are uniformly and homogeneously aligned in the same direction, as shown in Fig. 9(A). A light ray which has passed through the lower substrate 91 under such conditions is polarized in  $\alpha$  direction by the polarizer, and transmits through a layer of the liquid crystal molecules 92A, and then reaches the polarizer with the  $\beta$  direction which is different from

that of the upper substrate 90. Thus, the light ray is blocked by the polarizer and therefore does not transmit through the liquid crystal display device. As a result, the liquid crystal display device goes into a dark state (normally black mode).

When a voltage is applied between the linear electrodes 96A and 96B, the closer the liquid crystal molecules 92A are to the lower substrate 91, the more likely their alignment directions are to be shifted to a direction perpendicular to the longitudinal direction of the linear electrodes 96A and 96B. That is to say, electric flux lines are generated in a direction perpendicular to the longitudinal direction of the linear electrodes 96A and 96B, and as a result, the alignment direction of the liquid crystal molecules 92A having been aligned in the longitudinal direction of the  $\gamma$  direction by the alignment film formed on the lower substrate 91, is shifted to the  $\alpha$  direction perpendicular to the  $\gamma$  direction by a control power of an electric field which is stronger than that of the alignment film. Hence, when a voltage is applied between the linear electrodes 96A and 96B, a 90° twisted alignment is obtained, as shown in Fig. 9(B). Under such conditions, the polarization direction of a polarized light ray having been transmitted through the lower substrate 91 and polarized in the  $\alpha$  direction is shifted by the twisted liquid crystal molecules 92A, which in turn allows the light ray to be transmitted through the upper substrate 90 having provided thereon the polarizer with the  $\beta$  direction which is different from the  $\alpha$  direction. As a result, the liquid crystal display device goes into a bright state. Here, even when transmitted light rays from different directions as shown in Fig. 9(C) enter the liquid crystal molecules 92A in a state shown in Fig. 9(A), the refractive indices  $n_1'$  and  $n_2'$  are made to be the same by the angles of the transmitted light rays, and thus the viewing angle dependence becomes less likely to be brought about. Note that, as shown in Fig. 9(B), although the liquid crystal molecules 92A immediately above the linear electrodes 96A and 96B rise along the electric flux lines, this state is a bright

state and because the risen liquid crystal molecules 92A function to allow a transmitted light ray to pass through, the display state is not adversely affected.

[0047] Figs. 10(A)–10(D) and 11(A)–11(C) are for describing the fabrication method of a liquid crystal display device of a fourth example according to the present invention. The liquid crystal display device of the present example is basically configured, as shown in Figs. 11(B) and 11(C), such that a liquid crystal 132 is sandwiched between opposing transparent substrates 130 and 131, and on the substrate 131 a gate wiring line 133 and a source wiring line 134 are provided so as to intersect with each other via an insulating film 135. Further, at the vicinity of each intersected portion, a thin film transistor  $T_4$  and linear electrodes 136A and 136B are provided. In this manner, a thin film transistor array substrate 137 is configured. As is the case with the liquid crystal display device C illustrated in Fig. 7(B) or 7(C), the device is a liquid crystal display device D such that light transmission conditions are switched by applying or not applying an electric field to the liquid crystal 132.

[0048] As shown in Figs. 11(B) and 11(C), in the liquid crystal display device D of the fourth example, the source wiring line 134 segmented so as not to contact with the gate wiring line 133 is formed discontinuously in the direction orthogonal to the gate wiring line 133, within the insulating film 135 on the substrate 131. On a portion of the gate wiring line 133 in the vicinity of the approaching portion of the gate wiring line 133 and the source wiring line 134, the thin film transistor  $T_4$  is formed. Note that a cross-sectional structure shown in Fig. 11(B) shows a cross section along the line  $A_{13}$ – $A_{14}$  in Fig. 11(C). The gate wiring line 133 has a two-layered structure made up of a base conductive layer 133A composed of a high-conductivity metal such as Al and a sub-conductive layer 133B formed on the base conductive layer and composed of a metal material for wiring lines such as Cr or Mo. Likewise, the source wiring line 134 has a two-layered structure

made up of a base conductive layer 134A composed of a high-conductivity metal such as Al and a sub-conductive layer 134B formed on the base conductive layer and composed of a material for wiring lines such as Cr or Mo.

[0049] The thin film transistor  $T_4$  is such that a semiconductor base portion 145 is provided with semiconductor portions 143 and 144, serving as  $n^+$  layers on the left and right sides, sandwiching the semiconductor base portion. On the semiconductor base portion 145 a gate electrode 147 is formed via an insulating film 146, and on each of the semiconductor portions 143 and 144 a silicide layer 148 is formed. A channel portion 149 is formed at a portion above the semiconductor base portion 145 and sandwiched between the semiconductor portions 143 and 144. Next, a contact hole 150 is formed in the insulating film 145 on each silicide layer 148. A drain electrode 160 and a source electrode 161, each composed of an oxide transparent conductive material such as ITO, are provided so as to contact with their respective silicide layers 148 via the contact holes 150. A linear electrode 136A composed of an oxide transparent conductive material and provided in a region surrounded by the gate wiring line 133 and the source wiring line 134 is connected to the drain electrode 160, and the source wiring line 134 is connected to the source electrode 161.

[0050] Furthermore, a contact hole 171 is formed in a portion of the insulating film 135 on each end portion 134a of the segmented source wiring line 134 in the vicinity of the gate wiring line 133. The segmented source wiring line 134 is allowed to have conduction by bridging portions 172 composed of an oxide transparent conductive material and provided via the contact holes 171. In addition, the linear electrode 136A provided in a region surrounded by the gate wiring line 133 and the source wiring line 134 is arranged, in the present example, parallel to the gate wiring line 133. Furthermore, on either side of the linear electrode 136A in the width direction, a pair of linear electrodes 136B and 136B are formed parallel to

the linear electrode 136A so as to sandwich the linear electrode 136A. The linear electrodes 136B are integrated at a base end portion 136C, and an end portion of one of the linear electrodes 136B extends to the vicinity of the source wiring line 134. Likewise, an end portion of a linear electrode 136B in another region adjacent to the region having provided therein the linear electrodes 136B surrounded by the source wiring line 134 and the gate wiring line 133 extends to the vicinity of the source wiring line 134. The end portions of the linear electrodes 136B sandwiching the source wiring line 134 and located on either side of the source wiring line 134 are connected to each other by a conductive connecting portion 174 provided across the source wiring line 134, via the contact holes 173 formed in the portions of the insulating film 135 on the end portions.

[0051] A thin film transistor  $T_4$  having the above-described configuration is formed so as to include a portion of the gate wiring line 133 in the vicinity of the intersected portion of the gate wiring line 133 and the source wiring line 134 so that part of the gate wiring line 133 also serves as the gate electrode 147, and the switching of the thin film transistor  $T_4$  is conducted by the gate electrode 147.

[0052] A transistor array substrate 137 having the above-described structure is fabricated as follows. First, on a substrate 131, a thin film composed of amorphous silicon hydride (a-Si:H) is formed, and then patterning is carried out in a manner such that a resist is applied over the thin film and a pattern is exposed, and then after removing unwanted portions by etching, the resist is stripped, thereby forming an island-shaped semiconductor preliminary film 180, whose cross-sectional structure is shown in Fig. 10(A). Note that the semiconductor preliminary film 180 is formed on the substrate 131 at a location where a targeted semiconductor portion of a thin film transistor is to be formed. Next, as shown in Fig. 10(B), an insulating film 184 composed of  $\text{SiN}_x$  or the like is formed so as to cover the semiconductor preliminary film 180 and the substrate 131. Further, on the insulating film, a base

conductive film 186 composed of a high-conductivity material such as Al and a sub-conductive film 187 composed of a wiring line material such as Cr or Mo are formed. Subsequently, the insulating film 184, the base conductive film 186, and the sub-conductive film 187 are patterned to form a gate wiring line 133 and a source wiring line 134, whose cross-sectional structure and plane structure are shown in Figs. 10(C) and 10(D), respectively. The gate wiring line 133 on the semiconductor preliminary film 180 serves as a gate electrode 147. Note that upon the above-described patterning, each of the gate wiring line 133 and the source wiring line 134 is provided on the substrate 131 or on the semiconductor preliminary film 180, via the patterned insulating film 189. Further note that each of the gate wiring line 133 and the source wiring line 134 to be formed here has a two-layered structure, and the required number of the gate and source wiring lines are formed in accordance with the size of the screen of the liquid crystal display device to be fabricated. Though, in Fig. 10(D), only one each of the gate and source wiring lines are illustrated, in practice, a plurality of the gate wiring lines 133 and a plurality of the source wiring lines 134 are placed side by side in a line, in the up-down direction and the left-right direction in Fig. 10(D), respectively. Note that the cross-sectional structure shown in Fig. 10(C) shows a cross section along the line  $A_{15}$ — $A_{16}$  in Fig. 10(D). In the above-described patterning, the source wiring lines 134 are formed in the direction orthogonal to the gate wiring lines 133, and here end portions 134a of the source wiring lines 134 are arranged in a position very little away from the gate wiring lines 133 so as not to cause a short circuit between the source wiring lines 134 and the gate wiring lines 133. Consequently, the source wiring lines 134 are formed in the direction orthogonal to the gate wiring lines 133 and in a segmented and discontinuous manner so as not to contact with the gate wiring lines 133.

[0053] Next, the semiconductor preliminary film 180 is doped with ions, using, as a mask, the gate electrode 147 and the insulating film 189 provided



below the gate electrode, so as to form an  $n^+$  layer, and a semiconductor base portion 145 sandwiched between semiconductor portions 143 and 144 is formed. Thereafter, on the semiconductor portions 143 and 144, a thin film of Mo, Ta, W, or the like, for forming a silicide layer is formed and heat treated, followed by element diffusion between the semiconductor portions 143 and 144, thereby forming, on the semiconductor portions 143 and 144, silicide layers 148 and 148, respectively, as shown in Fig. 11(A). Then, as is the case with the foregoing first example, a portion of the metal thin film composed of Mo, Ta, W, or the like that is not silicided is selectively removed without using a resist. Subsequently, over these films, an insulating film 135 composed of  $\text{SiN}_x$  or the like is covered. Further, as is the case described above, patterning is carried out using a mask so as to form a contact hole 150 in a portion of the insulating film 135 on the silicide layer 148 and to form a contact hole 171 in a portion of the insulating film 135 on each end portion 134a of the source wiring line 134 in the vicinity of the gate wiring line 133.

[0054] Then, a transparent conductive layer composed of an oxide transparent conductive material such as ITO is formed on these films and patterned to form a linear electrode 136A between linear electrodes 136B and 136B in a region surrounded by the source wiring line 134 and the gate wiring line 133. Then, a bridging portion 172 is formed on the insulating film 135 on the end portions 134a of the source wiring line 134 so as to connect the end portions 134a via the contact holes 171 and 171. The bridging portion 172 and the silicide layer 148 on the semiconductor portion 143 are connected to each other via the contact hole 150 so as to form a source electrode 161 composed of an oxide transparent conductive material. The silicide layer 148 on the semiconductor portion 144 and the linear electrode 136A are connected to each other so as to form a drain electrode 160 composed of an oxide transparent conductive material. Further, a conductive connecting portion 174 for connecting together connecting

portions of adjacent linear electrodes 136B is formed across the source wiring line 134, thereby connecting together the linear electrodes 136B provided in adjacent regions. In this manner, a thin film transistor array substrate 137 having a structure shown in Figs. 11(B) and 11(C) can be obtained.

[0055] When such fabrication steps as to be described above are employed, the thin film transistor array substrate 57 can be fabricated by carrying out patterning with the use of four masks throughout the steps. Thus, as is the case with the foregoing first example, the number of masks required can be reduced to a level less than that in conventional methods having required 6-7 masks. Moreover, a reduction in the number of patterning steps makes it possible to simplify the fabrication steps, improving fabrication yield. Furthermore, in a liquid crystal display device D having a structure of the present example, as is the case with the foregoing third example, it is possible to obtain high-grade display conditions with less viewing angle dependence, by using the linear electrodes 136A and 136B.

[0056] In the meantime, in the structure described above, two linear electrodes and one linear electrode are made to be an electrode pair having differing polarities; however, it is, of course, possible to provide three or more linear electrodes such that each makes an electrode pair. In addition, not only the source wiring lines but also the gate wiring lines can be formed in a segmented manner. That is, in the case where the gate wiring lines are formed in a segmented manner, the source wiring lines are formed in a continuous manner but not in a segmented manner, and the gate wiring lines are formed in a discontinuous and segmented manner so as not to contact with the source wiring lines. Contact holes are formed in an insulating film formed on the gate wiring lines. By forming bridging portions on the insulating film via the contact holes, the segmented gate wiring line can be made into one continuous line. The present invention can also employ such a structure.

[0057]

[EFFECTS OF THE INVENTION] According to the present invention as described above, either the source wiring line or the gate wiring line is formed in a segmented manner, either the source wiring line or the gate wiring line is allowed to have conduction by bridging portions composed of a conductive material, and pixel portions are formed using the same conductive material as the bridging portions. Therefore, the bridging portions can be formed simultaneously in the film formation and patterning processes for forming the pixel portions, making it possible to simplify steps and to reduce the number of masks used in patterning to a level less than that in conventional methods, which in turn minimizes the number of masks required. As a consequence, advantageous effects such as a simplification of steps and an improvement in yield can be obtained. In addition, even in a configuration that employs a combination of the first and second pixel electrodes for the pixel portion, the configuration is such that either the source wiring line or the gate wiring line is formed in a segmented manner, either the source wiring line or the gate wiring line is allowed to have conduction by bridging portions composed of a conductive material, and the first pixel electrodes are formed simultaneously with the bridging portions, using the same conductive material. Thus, the bridging portions can be formed simultaneously in the film formation and patterning processes for forming the first pixel electrodes, making it possible to simplify steps and to reduce the number of masks used in patterning to a level less than that in conventional methods, which in turn minimizes the number of masks required. As a consequence, advantageous effects such as a simplification of steps and an improvement in yield can be obtained.

[0058] When a drain electrode of a thin film transistor that electrically turns on and off a pixel electrode is formed integrally with the pixel electrode, or when a drain electrode of a thin film transistor that electrically turns on and off a first pixel electrode is formed integrally with the first pixel electrode, the pixel electrode and the drain electrode or the first pixel electrode and the

drain electrode can be simultaneously formed using the same conductive material, thereby obtaining advantageous effects such as a simplification of steps and an improvement in yield. In addition, when a source electrode of a thin film transistor that electrically turns on and off a pixel electrode is formed integrally with a bridging portion, the bridging portion and the source electrode can be formed simultaneously using the same conductive material, thereby obtaining advantageous effects such as a simplification of steps and an improvement in yield.

[0059] Moreover, in a configuration in which either the source wiring line or the gate wiring line is formed in a segmented manner, bridging portions for connecting the segmented line and pixel electrodes are formed using the same conductive material, and further the pixel electrode is made up of the first and second pixel electrodes that cooperatively generate electrical potential, the bridging portions can be formed simultaneously in the film formation and patterning processes for forming the first or second pixel electrodes, making it possible to simplify steps and to reduce the number of masks used in patterning to a level less than that in conventional methods, which in turn minimizes the number of masks required. Thus, advantageous effects such as a simplification of steps and an improvement in yield can be obtained.

[0060] By forming the surfaces of segmented gate wiring lines or segmented source wiring lines, using chromium or molybdenum, in a configuration in which an insulating film is formed on the surfaces of the wiring lines and holes are provided in the insulating film to connect the segmented gate wiring lines or the segmented source wiring lines by bridging portions, even if the bridging portions are formed of an oxide transparent conductive material, the possibility of increasing contact resistance resulting from oxidization of the connecting portions of the gate wiring lines or the source wiring lines is reduced, and the segmented gate wiring lines or the segmented source wiring lines are allowed to have good connecting

conditions.

#### [DESCRIPTION OF THE DRAWINGS]

[Fig. 1] Fig. 1(A) is a cross-sectional view showing a state in which a gate wiring line, a source wiring line, an insulating film, a semiconductor layer, and an  $n^+$  layer are formed on a substrate, in a method of fabricating a liquid crystal display device of a first example according to the present invention, Fig. 1(B) is a plan view showing a main portion of the state shown in Fig. 1, and Fig. 1(C) is a cross-sectional view showing a state in which a silicide layer is formed on the  $n^+$  layer, in the fabrication method for the first example.

[Fig. 2] Fig. 2(A) is a cross-sectional view showing a state in which a transparent conductive layer is formed on the insulating layer and the silicide layer, in the fabrication method for the first example, Fig. 2(B) is a cross-sectional view showing the liquid crystal display device of the first example according to the present invention, and Fig. 2(C) is a plan view showing a main portion of the liquid crystal display device of the first example shown in Fig. 1(B).

[Fig. 3] Fig. 3 is a view showing an example of an equivalent circuit of the liquid crystal display device of the first example.

[Fig. 4] Fig. 4(A) is a cross-sectional view showing a state in which a semiconductor preliminary film is formed on a substrate, in a method of fabricating a liquid crystal display device of a second example according to the present invention, Fig. 4(B) is a cross-sectional view showing a state in which a conductive layer having a two-layered structure is formed over the substrate and the semiconductor film, Fig. 4(C) is a cross-sectional view showing a state in which the conductive layer having a two-layered structure and an insulating film shown in Fig. 4(B) are patterned, and Fig. 4(D) is a plan view showing a main portion of the state shown in Fig. 4(C).

[Fig. 5] Fig. 5(A) is a cross-sectional view showing a state in which a semiconductor portion and a semiconductor base portion are formed in the

semiconductor film, in the fabrication method for the second example, Fig. 5(B) is a cross-sectional view showing the second example, and Fig. 5(C) is a plan view showing a main portion of the liquid crystal display device of the second example.

[Fig. 6] Fig. 6(A) is a cross-sectional view showing a state in which various wiring lines, an insulating film, and a semiconductor film are formed on a substrate, in a method of fabricating a liquid crystal display device of a third example according to the present invention, Fig. 6(B) is a plan view showing a main portion of the state shown in Fig. 6(A), and Fig. 6(C) is a cross-sectional view showing a state in which a silicide layer is formed on the semiconductor film.

[Fig. 7] Fig. 7(A) is a cross-sectional view showing a state in which a contact hole is formed in the insulating film and a transparent conductive layer is formed over the silicide layer, the insulating film, and the contact hole, in the fabrication method for the third example, Fig. 7(B) is a cross-sectional view showing the liquid crystal display device of the third example according to the present invention, and Fig. 7(C) is a plan view showing a main portion of the structure shown in Fig. 7(B).

[Fig. 8] Fig. 8(A) is a view showing a relationship between linear electrodes, the alignment direction, and a power source, in the third example, and Fig. 8(B) is a view showing the alignment conditions of liquid crystal molecules between the linear electrodes.

[Fig. 9] Fig. 9(A) is a view showing the alignment conditions of liquid crystal molecules in a state in which an electric field is not applied, in a conventional liquid crystal display device structure that does not employ linear electrodes, Fig. 9(B) is a view showing the alignment conditions of liquid crystal molecules in a state in which an electric field is applied, and Fig. 9(C) is a view for describing the alignment conditions of liquid crystal molecules and the refractive index of transmitted light.

[Fig. 10] Fig. 10(A) is a cross-sectional view showing a state in which a

semiconductor film is formed on a substrate, in a method of fabricating a liquid crystal display device of a fourth example according to the present invention, Fig. 10(B) is a cross-sectional view showing a state in which a conductive layer having a two-layered structure is formed over the substrate and the semiconductor film, Fig. 10(C) is a cross-sectional view showing a state in which the two-layered conductive layer and an insulating film are patterned, and Fig. 10(D) is a plan view showing a main portion of the state shown in the figure.

[Fig. 11] Fig. 11(A) is a cross-sectional view showing a state in which a semiconductor portion, a semiconductor base portion, and a silicide layer are formed in the semiconductor film, in the fabrication method for the fourth example, Fig. 11(B) is a cross-sectional view showing the liquid crystal display device of the fourth example according to the present example, and Fig. 11(C) is a plan view showing a main portion of the liquid crystal display device of the fourth example.

[Fig. 12] Fig. 12 is a plan view showing a structural example of a conventional thin film transistor array substrate.

[Fig. 13] Fig. 13 is a cross-sectional view showing a structural example of a conventional thin film transistor array substrate.

[Fig. 14] Fig. 14 shows an example of a conventional connection circuit diagram.

#### [DESCRIPTION OF REFERENCE NUMBERS]

【符号の説明】

Substrate	21, 51, 91, 131
Liquid crystal	22, 52, 92, 132
Gate wiring line	23, 53, 93, 133
Source wiring line	24, 54, 94, 134
Insulating film	25, 55, 95, 135
Pixel portion (pixel electrode)	26, 56
Thin film transistor	T <sub>1</sub> , T <sub>2</sub> , T <sub>3</sub> , T <sub>4</sub>

Thin film transistor array substrate	27, 57, 97, 137
Semiconductor active film	28, 98
Drain electrode	30, 60, 100, 160
Source electrode	31, 61, 101, 161
Contact hole	35, 81, 105, 107, 171, 173
Bridging portion	36, 72, 106, 172
n <sup>+</sup> layer	29, 99
Silicide layer	33, 103
Contact layer	34, 104
Semiconductor preliminary film	75, 180
Conductive connecting portion	108, 173

[Fig. 3]

Signal supplying circuit

Scanning circuit

[Fig. 9]

Voltage off (dark state)

Voltage on (bright state)

Off state



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-48651

(43)公開日 平成10年(1998)2月20日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343			G 0 2 F 1/1343	
1/136	5 0 0		1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C
21/336				6 1 2 Z

審査請求 未請求 請求項の数9 O L (全 16 頁)

(21)出願番号 特願平8-202633

(22)出願日 平成8年(1996)7月31日

(71)出願人 395003523

株式会社フロンテック

宮城県仙台市泉区明通三丁目31番地

(72)発明者 蔡 基成

宮城県仙台市泉区明通三丁目31番地 株式  
会社フロンテック内

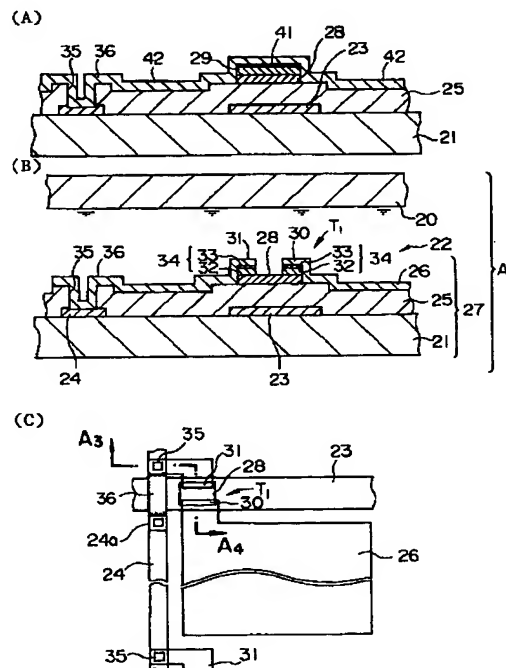
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 薄膜トランジスタ型液晶表示装置

(57)【要約】

【課題】 本発明は、分断形成したゲート配線あるいはソース配線を接続する橋絡部を画素部と同一材料で構成することで製造工程を簡略化し、絶縁膜に設けた孔を介して橋絡部を形成することで良好にコンタクトすることができるようにした薄膜トランジスタ型の液晶表示装置の提供を目的とする。

【解決手段】 本発明は、一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電気的に接続する橋絡部と前記画素部を構成する画素電極とが同一の導電材料で同時形成されたものである。



## 【特許請求の範囲】

【請求項1】 一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電氣的に接続する橋絡部と前記画素部を構成する画素電極とが同一の導電材料で同時形成されたことを特徴とする薄膜トランジスタ型液晶表示装置。

【請求項2】 一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記画素部が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第2の画素電極とからなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電氣的に接続する橋絡部と前記画素部を構成する第1の画素電極とが同一の導電材料で同時形成されたことを特徴とする薄膜トランジスタ型液晶表示装置。

【請求項3】 前記画素電極を電氣的にオンオフする薄膜トランジスタを構成するドレイン電極と前記画素電極とが一体的に形成されてなることを特徴とする請求項1記載の薄膜トランジスタ型液晶表示装置。

【請求項4】 前記第1の画素電極を電氣的にオンオフする薄膜トランジスタを構成するドレイン電極と前記第1の画素電極とが一体的に形成されてなることを特徴とする請求項2記載の薄膜トランジスタ型液晶表示装置。

【請求項5】 前記画素電極を電氣的にオンオフする薄膜トランジスタを構成するソース電極と前記橋絡部とが一体的に形成されてなることを特徴とする請求項1～4のいずれか1項に記載の薄膜トランジスタ型液晶表示装置。

【請求項6】 前記橋絡部が、前記分断したゲート配線またはソース配線上に形成した絶縁膜に前記分断した配線のそれぞれに対応して設けた孔を介して、前記分断したゲート配線またはソース配線に電氣的に接続されてなることを特徴とする請求項1～4のいずれか1項に記載の薄膜トランジスタ型液晶表示装置。

【請求項7】 前記画素電極が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第

2の画素電極とからなることを特徴とする請求項1記載の薄膜トランジスタ型液晶表示装置。

【請求項8】 前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と画素電極とが酸化物透明導電材料から形成されてなることを特徴とする請求項1に記載の薄膜トランジスタ型液晶表示装置。

【請求項9】 前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と前記第1の画素電極とが酸化物透明導電材料から形成されてなることを特徴とする請求項2に記載の薄膜トランジスタ型液晶表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタが形成されている液晶表示素子とその製造方法に関わり、更に詳しくは、フォトリソ工程の際に用いるマスクの使用枚数を少なくすることができる技術に関する。

【0002】

【従来の技術】図12と図13は、従来の薄膜トランジスタ型液晶表示装置において、ゲート配線Gとソース配線Sなどの部分構成を基板上に備えた薄膜トランジスタアレイ基板の一構造例を示すものである。図12と図13に示す薄膜トランジスタアレイ基板において、ガラスなどの透明の基板6上に、ゲート配線Gとソース配線Sとがマトリクス状に配線されている。また、ゲート配線Gとソース配線Sとの交差部分の近傍に薄膜トランジスタ3が設けられている。

【0003】図12と図13に示す薄膜トランジスタ3はエッチストップ型の一般的な構成のものであり、ゲート配線Gとこのゲート配線Gから引き出して設けたゲート電極8上に、ゲート絶縁膜9を設け、このゲート絶縁膜9上にアモルファスシリコン(a-Si)からなる半導体膜10を設け、更にこの半導体膜10上に導電材料からなるドレイン電極11とソース電極12とを相互に対向させて設けて構成されている。なお、半導体膜10の最上層にはリンなどのドナーとなる不純物を高濃度にドーブしたアモルファスシリコンなどのオーミックコンタクト膜10aが形成され、その上にドレイン電極11とソース電極12とで挟まれた状態でエッチングストッパー13が形成されている。また、ゲート電極8は上層部のゲート絶縁膜8aと下層部のゲート配線8bとからなる二重構造にされるとともに、ドレイン電極11の上からドレイン電極11の側方側にかけて透明電極材料からなる透明画素電極15が形成されている。

【0004】そして、前記ゲート絶縁膜9と透明画素電極15とソース電極12などの上を覆ってこれらの上にパッシベーション膜16が設けられている。このパッシベーション膜16上には図示略の配向膜が形成され、この配向膜上方に液晶が設けられてアクティブマトリクス

液晶表示装置が構成されていて、前記透明画素電極15によって液晶の分子に電界を印加すると液晶分子の配向制御ができるようになっている。ところで従来、前記構造の薄膜トランジスタアレイ基板を製造するには、以下\*

\*に示す表1に記載の工程を基に製造していた。  
【0005】  
【表1】

工程	製法	材質	備考
初期洗浄	ブラシ&UV		
表面安定化層形成	反応性スパッタリング	TaOx	750nm
ゲート配線金属形成	直流スパッタリング	Al	200nm
ゲート配線金属PL①	ウエットエッチング		
ゲート電極形成	直流スパッタリング	Ta	400nm
ゲート電極PL②	ドライエッチング		
ゲート電極陽極酸化		TaOx	300nm
ゲート絶縁形成	プラズマCVD	SiNx	250nm
a-Si形成	プラズマCVD	a-Si	50nm
ES絶縁層形成	プラズマCVD	SiNx	100nm
ES絶縁層PL③	ウエットエッチング		背面露光法
SD半導体形成	プラズマCVD	n+Si	25nm
デバイスエリアPL④	ドライエッチング		
SD電極形成	直流スパッタリング	Ti	400nm
SD電極PL⑤	ドライエッチング		
透明電極形成	反応性スパッタリング	ITO	50nm
透明電極PL⑥	ウエットエッチング		
保護層形成	プラズマCVD	SiNx	250nm
保護層PL⑦	ウエットエッチング		
注) PL: フォトリソグラフィ ES: エッチングストッパー SD: ソースドレイン			

①～⑦: 露光プロセス

【0006】まず、ガラスなどの透明基板を用意したならば、この上に表面安定化層を形成し、この基板に対してゲート配線用金属膜を被覆し、この金属膜を第1のフォトリソ工程①でエッチングしてゲート配線を形成する。次にゲート配線上に例えばTa金属膜を被覆し、次いで第2のフォトリソ工程②でエッチングしてゲート電極を形成する。

【0007】次にこのゲート電極の表面部分をTaO<sub>x</sub>としてゲート電極の絶縁性向上処理を行い、それらの上にゲート絶縁膜と半導体膜とエッチングストッパー用の絶縁膜を形成し、第3のフォトリソ工程③でエッチングしてゲート電極上にエッチングストッパーを形成する。次に基板表面にオーミックコンタクト膜を形成し、第4のフォトリソ工程④で半導体膜やオーミックコンタクト膜をパターニングしてゲート電極上方に他の部分と分離状態の半導体部を形成し、更に基板表面に金属膜を形成する。

【0008】次に、前記金属膜を第5のフォトリソ工程⑤でパターニングしてソース電極とドレイン電極を形成

する。次いで、ソース電極とドレイン電極とをマスクとしてオーミックコンタクト膜にエッチング加工を施してチャンネル部を形成する。次いで、基板表面に透明導電膜を形成し、第6のフォトリソ工程⑥で透明導電膜を加工して透明画素電極を形成し、更に基板表面に保護膜を形成する。次に前記保護膜をパターニングしてソース端子用のコンタクトホールとゲート端子用のコンタクトホールとを形成する第7のフォトリソ工程⑦を行って薄膜トランジスタアレイ基板を完成させている。

【0009】

【発明が解決しようとする課題】しかしながら前述の方法で薄膜トランジスタアレイ基板を製造すると、7回のフォトリソ工程を行う必要があり、フォトリソ工程が多く、フォトリソ工程の度にレジスト材の形成と剥離を行わなくてはならないために、それだけ歩留まりへの影響が大きく、製造コストが高くなる問題があった。

【0010】次に、この種の薄膜トランジスタアレイ基板を製造する場合、種々の薄膜を積層し、積層膜の一部にコンタクトホールを形成し、このコンタクトホールに

導電膜を形成して上層の膜と下層の膜を導電膜を介して電気的に接続する構造を採用することがある。図14は、この種の断面構造の一例を示すもので、この例の構造は、基板上に形成したTiなどの金属膜17の上にSiN<sub>x</sub>などからなる絶縁膜18とITOからなる導電性酸化膜19を積層し、絶縁膜18に形成したコンタクトホール18aを介して導電性酸化膜19を金属膜17に接続した構造になっている。

【0011】この例の構造において、コンタクトホール18aを形成するには、絶縁膜18を成膜した後でその上に所定パターンのレジストを被せ、次いでSF<sub>6</sub>+O<sub>2</sub>ガスなどを用いたドライエッチングにより絶縁膜18をエッチングしてコンタクトホール18aを形成した後、O<sub>2</sub>プラズマでレジストを剥離し、その後に導電性酸化膜19を成膜する方法を行っている。ところが、この方法を行う途中にコンタクトホール18aを介して金属膜17が酸化性雰囲気中にさらされるために、金属膜17が酸化されるおそれがある。

【0012】このため従来では、導電性酸化膜19に対して良好なコンタクトをとれる金属であってO<sub>2</sub>プラズマ雰囲気により酸化されにくい金属としてTiを用いており、Tiよりも酸化され易いAl等の薄膜を用いることができない状況にあり、金属膜17の使用材料に制限を生じていた。ちなみに、接続部分のコンタクト面積を7μm<sup>2</sup>に設定してコンタクト部分を1600段形成した構造のコンタクトチェーンを成膜した場合、ITOの薄膜に対するAlの薄膜のコンタクト抵抗は10<sup>10</sup>~10<sup>12</sup>Ωであるのに対し、ITOの薄膜に対するTiの薄膜のコンタクト抵抗は、10<sup>4</sup>~10<sup>5</sup>Ωとなり、明らかにTiの薄膜の方がコンタクト性に優れている。これは、Tiに比べて導電率の優れたAlであっても、前記O<sub>2</sub>プラズマ雰囲気に曝されることにより接続部分の界面に酸化物皮膜が形成され、この酸化物皮膜の存在によりコンタクト抵抗が逆転したものと思われる。また、前述の金属膜17としてTiの薄膜を用いた場合、この構造を薄膜トランジスタアレイ基板に適用し、金属膜17でゲート配線を形成した場合、Tiの金属膜17ではTi自体の比抵抗が高いために、通常の使用に供することはできるが、ゲート配線の信号遅延の基となる可能性があり、液晶パネルの大型化に不利な問題がある。

【0013】本発明は前記事情に鑑みてなされたもので、分断形成されたゲート配線あるいはソース配線を電気的に接続する橋絡部を画素部と同一材料で構成することで製造工程を簡略化し、必要マスク枚数を従来の製造方法よりも少なくして歩留まりの向上をなし得るようにするとともに、分断されたゲート配線あるいはソース配線を接続する場合に絶縁膜に設けた孔を介して橋絡部を形成することで良好にコンタクトすることができる薄膜トランジスタ型の液晶表示装置の提供を目的とする。

【0014】

【課題を解決するための手段】本発明に係る第1の基本構成の液晶表示装置は、前記課題を解決するために、一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電気的に接続する橋絡部と前記画素部を構成する画素電極とが同一の導電材料で同時形成されたことを特徴とするものである。このような構成とすることにより、画素電極と橋絡部を1つの成膜工程とパターンニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。

【0015】また、本発明に係る第2の基本構成の液晶表示装置は、前記課題を解決するために、一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記画素部が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第2の画素電極とからなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電気的に接続する橋絡部と前記画素部を構成する第1の画素電極とが同一の導電材料で同時形成されたものである。このような構成とすることにより、第1の画素電極と第2の画素電極を備える構成においても、第1の画素電極と橋絡部を1つの成膜工程とパターンニング処理で同時に形成できるので、必要マスク枚数を少なくして工程の簡略化を実現できる。

【0016】次に、本発明において、前記画素電極を電気的にオンオフする薄膜トランジスタを構成するドレイン電極と前記画素電極とが一体的に形成されてなる構成とすることができる。これにより、画素電極と橋絡部に加えてドレイン電極をも1つの成膜工程とパターンニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。また、本発明において、前記第1の画素電極を電気的にオンオフする薄膜トランジスタを構成するドレイン電極と前記第1の画素電極とが一体的に形成されてなる構成とすることができる。これにより、第1と第2の画素電極と橋絡部に加えてドレイン電極をも1つの成膜工程とパターンニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。

【0017】本発明において、前記画素電極を電気的に

オンオフする薄膜トランジスタを構成するソース電極と前記橋絡部とが一体的に形成されてなる構成とすることもできる。これにより、画素電極、あるいは、第1の画素電極と、橋絡部と、ドレイン電極に加えてソース電極をも1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を更に少なくして工程の簡略化を実現できる。また、前記橋絡部が、前記分断したゲート配線またはソース配線上に形成した絶縁膜に前記分断した配線のそれぞれに対応して設けた孔を介して、前記分断した配線に電気的に接続されてなることを特徴とするものでも良い。これにより、分断されているゲート配線あるいはソース配線が、電気的に確実に連結されて一体化される。

【0018】次に、第1の基本構成において前記画素電極が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第2の画素電極とからなるものでも良い。このような第1の電極と第2の電極により協同して液晶に電界を印加することができ、液晶に電界を印加するか否かを切り替えることで光の透過状態を変化させ所望の表示を行うことができる。

【0019】第1の基本構成において、前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と画素電極とが酸化物透明導電材料から形成されてなるものでも良い。第2の基本構成において、前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と前記第1の画素電極とが酸化物透明導電材料から形成されてなるものでも良い。これらのクロムまたはモリブデンで配線の表面部が構成されていると、配線上の絶縁膜に孔を形成して酸化物透明導電材料からなる画素電極あるいは橋絡部を形成する場合の処理時に配線の表面部を酸化させるおそれが少なくなり、コンタクト抵抗が低減する。

【0020】

【発明の実施の形態】以下に本発明の各実施の形態を詳細に説明する。第1図(A)～第2図(C)は本発明に係る薄膜トランジスタ型液晶表示装置の第1の例を製造する方法を説明するためのもので、この例の薄膜トランジスタ型液晶表示装置Aにあっては、基本的には図2(B)と図2(C)に示すように対向する透明の基板20、21間に液晶22が配設されて構成され、一方の基板21上にゲート配線23とソース配線24が絶縁膜25を介して交差状態でマトリクス状に設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタ $T_1$ と画素部(画素電極)26が設けられて薄膜トランジスタアレイ基板27が構成されていて、図12あるいは図13で説明した従来の液晶表示装置と同様に液晶22に電界を印加するか否かの切り換えにより光の透過状態を切り換え

る表示装置とされている。

【0021】図2(B)と図2(C)に示すようにこの第1の例の液晶表示装置Aにあっては、一方の基板21上にゲート配線23と同一平面上にゲート配線23と直交する方向にゲート配線23と接触しないように分断された不連続のソース配線24が形成され、ゲート配線23とソース配線24の接近部分の近傍のゲート配線23上に半導体能動膜28をドレイン電極30とソース電極31で挟んでなる薄膜トランジスタ $T_1$ が形成されている。半導体能動膜28は、この例ではa-Siから形成され、ドレイン電極30およびソース電極31と半導体能動膜28とのコンタクト部分には、 $n^+$ のa-Siからなる底部コンタクト膜32とシリサイド層33を積層してなるコンタクト層34が介在されている。前記シリサイド層33はMo、Ta、W等のシリサイド構成元素の膜を半導体能動膜28上に成膜してから熱処理して元素拡散を行って形成されたものである。なお、図2(B)に示す断面構造は、図2(C)のA<sub>1</sub>-A<sub>2</sub>線に沿う断面を示す。

【0022】そして、前記薄膜トランジスタ $T_1$ のドレイン電極30が透明導電材料から形成されて透明画素電極26に接続され、前記薄膜トランジスタ $T_1$ のソース電極31が透明導電材料から形成されている。また、前記ゲート電極23の近傍のソース配線各端部上の絶縁膜25に孔(コンタクトホール)35が形成され、これらのコンタクトホール35を介して分断されている各ソース配線24を連結して導通させる酸化物透明導電材料からなる橋絡部36が設けられ、前記薄膜トランジスタ $T_1$ のソース電極31が各々の薄膜トランジスタ近傍の橋絡部36に接続されている。なお、図5に示す液晶表示装置Aにおいては、他側の基板20に形成されるコモン電極とブラックマスク、カラーフィルタ等は省略して基板20のみを記載してある。また、図3に、この例の液晶表示装置Aの等価回路を示すが、図3に示すように、分断された複数のソース配線24を複数の橋絡部36により接続させた状態のソース配線24が複数設けられ、それらのソース配線24に対してマトリクス状に配置されたゲート配線23とが設けられている。ここで各ソース配線24は信号供給回路37に、各ゲート配線23は走査回路38に接続されている。

【0023】以上の構造のトランジスタアレイ基板27を製造するには、まず、図1(A)に示すように基板21上にCr、Mo等の導電性金属材料製の導電膜を形成し、次いでレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターニングを施して図1(A)に断面構造を図1

(B)に平面構造を示すゲート配線23とソース配線24を形成する。ここで形成するゲート配線23とソース配線24は、製造するべき液晶表示装置の表示画面の大きさに合わせて必要本数形成するので、図1(B)では

1本ずつのみ記載しているが、実際には図1(B)の上下方向に複数のゲート配線23が、図1(B)の左右方向に複数のソース配線24が必要本数並設される。なお、図1(A)に示す断面構造は、図1(B)のA<sub>1</sub>-A<sub>2</sub>線に沿う断面を示す。なお、前記のパターニングの際に、ソース配線24をゲート配線23に対して直角向きに形成するが、ソース配線24の端部24aをゲート配線23にショートさせないようにゲート配線23と微小間隔をあけた位置に配置させるので、結果的にソース配線24をゲート配線23と直角な方向にゲート配線23と接触しないように分断した不連続状態に形成するものとする。

【0024】次に、基板21の表面とゲート配線23とソース配線24を覆うSiN<sub>x</sub>などの絶縁材料製の絶縁膜25を基板21上に成膜し、更にその上に、a-Siの半導体能動膜準備層とa-Siのn<sup>+</sup>準備層を積層し前述と同様にレジストを用いたパターニングを行ってソース配線24の近傍の薄膜トランジスタを形成するべき位置に図1(A)と図1(B)に示すアイランド状の半導体能動膜28とa-Siのn<sup>+</sup>層29を形成する。次に、n<sup>+</sup>層29上にMo、Ta、W等からなる薄膜を形成し、熱処理することでシリサイド準備層41を図1(C)に示すように形成する。この後、シリサイド準備層41とならなかった前記金属からなる薄膜の部分のみをレジストを用いずに、例えば、ヨウ素酸、フッ酸、及び酢酸混合液からなるエッチング液を用いて選択的に除去する。また、前記と同様にレジストを用いたパターニングを行ってゲート配線23の近傍の各ソース配線24の端部24a上の絶縁膜25にそれぞれ孔(コンタクトホール)35を形成する。

【0025】次いでITOなどの酸化物透明導電材料からなる透明導電層42を前記絶縁膜25とシリサイド準備層41を覆うようにこれらの上に図2(A)に示すように形成する。なおここで、ITOを成膜する条件は酸化雰囲気であるので、コンタクトホール35の下に位置するソース配線24の表面をA1等よりも酸化し難いCr、Mo等の材料で形成することが好ましい。続いて前記と同様にレジストを用いたパターニングを行って図2(B)に示すように半導体能動膜28の中央部上方のn<sup>+</sup>層29の一部とシリサイド準備層41と透明導電層42の一部を除去することにより、半導体能動膜28をその両側から挟んで対向するドレイン電極30とソース電極31を形成し、同時に透明導電層42の不要部分を除去することにより、ゲート配線23とソース配線24に囲まれた領域に図2(B)と図2(C)に示すように画素電極26を形成し、同時にこの画素電極26にドレイン電極30を接続させ、ソース配線24の端部24aを接続する透明導電膜製の橋絡部36を形成し、この橋絡部36をソース電極31と接続することにより、図2(B)と図2(C)に示す構造の薄膜トランジスタアレ

イ基板27を得ることができる。

【0026】以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板27を製造することができるので、例えば全面に保護膜を形成し、ソース端子出し及びゲート端子出しのためのフォトリソ工程を追加したとしても、マスクを6~7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。

【0027】第4図(A)ないし第5図(C)は本発明に係る液晶表示装置の第2の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図5(B)と図5(C)に示すように対向する透明の基板50、51間に液晶52が挟持されて構成され、一方の基板51上にゲート配線53とソース配線54が絶縁膜55を介して交差状態で設けられ、更に、交差部分の近傍にそれぞれ薄膜トランジスタT<sub>2</sub>と画素部(画素電極)56が設けられて薄膜トランジスタアレイ基板57が構成されていて、図12で説明した従来の液晶表示装置と同様に液晶52に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置Bとされている。

【0028】図5(B)と図5(C)に示すようにこの第2の例の液晶表示装置Bにあっては、一方の基板51上の絶縁膜55内にゲート配線53と直交する方向にゲート配線53と接触しないように分断されたソース配線54が不連続的に形成され、ゲート配線53とソース配線54の接近部分の近傍のゲート配線53上に薄膜トランジスタT<sub>2</sub>が形成されている。前記のゲート配線53はA1などの良導電性金属材料からなる基部導電層53Aとその上に形成されたCr、Mo等の配線用金属材料からなる副導電層53Bとからなる2重構造とされ、ソース配線54も同様に良導電性金属からなる基部導電層54Aとその上に形成された配線用材料からなる副導電層54Bとからなる2重構造とされている。なお、図5(B)に示す断面構造は、図5(C)のA<sub>1</sub>-A<sub>2</sub>線に沿う断面である。

【0029】前記の薄膜トランジスタT<sub>2</sub>は、左右のn<sup>+</sup>層となる半導体部63、64に挟まれて半導体基部65が設けられ、半導体基部65上に絶縁膜66を介してゲート電極67が形成され、半導体部63、64上にシリサイド層68がそれぞれ形成され、半導体基部65の上部で半導体部63、64に挟まれた部分にチャンネル部69が形成されるようになっている。次に、各シリサイド層68上の絶縁膜55には、各々コンタクトホール80が形成され、このコンタクトホール80を介してITOなどの酸化物透明導電材料製のドレイン電極60とソース電極61が各シリサイド層68に接触するように設けられ、ドレイン電極60にはゲート配線53とソース配



線54とに囲まれた領域に設けられた酸化物透明導電材料製の画素電極56が接続され、ソース電極61にはソース配線54が接続されている。更に、分断されたソース配線54においてゲート配線53に近い部分の各端部54a上の絶縁膜55には孔(コンタクトホール)81が各々形成されていて、これらのコンタクトホール81を介して設けられた酸化物透明導電材料製の橋絡部72によって分断されたソース配線54が導通されている。

【0030】以上の構成の薄膜トランジスタ $T_2$ は、ゲート配線53とソース配線54の交差部分近傍のゲート配線53を含むように形成されていて、ゲート配線53の一部がゲート電極67を兼ねるように設けられ、ゲート電極67によって薄膜トランジスタ $T_2$ のスイッチングの切り換えがなされるようになっている。

【0031】以上の構造のトランジスタアレイ基板57を製造するには、まず、基板51上に水素化アモルファスシリコン(a-Si:H)からなる半導体予備膜を形成し、これにレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターニングを施して図4(A)に断面構造を示すアイランド状の半導体準備膜75を形成する。なお、この半導体準備膜75を形成する位置は、基板51上において目的とする薄膜トランジスタの半導体部を形成しようとする位置とする。次に、図4(B)に示すように半導体準備膜75と基板51を覆うようにSiN<sub>x</sub>などからなる絶縁膜74を形成し、更にその上に、Al等の良導電材料からなる基部導電膜76とCr、Mo等の配線材料からなる副導電膜77を形成する。次に、絶縁膜74と基部導電膜76と副導電膜77にパターニングを施して図4(C)に断面構造を図9(D)に平面構造を示すゲート配線53とソース配線54を形成し、半導体準備膜75上のゲート配線53をゲート電極67とする。なお、図4(C)に示す断面構造は、図4(D)に示すA<sub>1</sub>-A<sub>2</sub>線に沿う断面を示す。また、前記のパターニングにあたり、各ゲート配線53とソース配線54はパターニングされた絶縁膜74を介して基板51上あるいは半導体準備膜75上に設けられた状態となる。次に、ここで形成するゲート配線53とソース配線54は、それぞれ2層構造とされ、製造するべき液晶表示装置の画面の大きさに合わせて必要数形成されるので、図4(D)では1本ずつのみ記載しているが、実際には図4(D)の上下方向に複数のゲート配線53が図4(D)の左右方向に複数のソース配線54が並設されている。なお、前記のパターニングの際に、ソース配線54をゲート配線53に対して直角向きに形成するが、ソース配線54の端部54aをゲート配線53にショートさせないようにゲート配線53と微小間隔をあけた位置に配置させるので、結果的にソース配線54をゲート配線53と直角な方向にゲート配線53と接触しないように分断した不連続状態に形成するものとする。

【0032】次に、ゲート電極67とその下方の絶縁膜74をマスクとして半導体準備膜75にイオンドーピング処理を行ってn<sup>+</sup>層を形成し、半導体部63、64に挟まれた半導体基部65を形成するとともに、この後に半導体部63、64上にMo、Ta、W等のシリサイド層形成用の薄膜を形成し、熱処理して半導体部63、64との間に元素拡散を行って半導体部63、64上にシリサイド層68、68を図5(A)に示すように形成する。また、前記第1の例の液晶表示装置Aを製造する際と同様にMo、Ta、W等の金属薄膜部分のみをマスクを用いずに選択的に除去する。次いでこれらの膜の上にSiN<sub>x</sub>等からなる絶縁膜55を被覆し、更に、前記と同様にマスクを用いたパターニングを行ってシリサイド層68上の絶縁膜55にコンタクトホール80を形成するとともにゲート配線53の近傍の各ソース配線54の端部54a上の絶縁膜55にそれぞれ孔(コンタクトホール)81を形成する。

【0033】次いで、ITOなどの酸化物透明導電材料からなる透明導電層をこれらの上に形成するとともに、パターニングを行って、ソース配線54とゲート配線53に囲まれた領域に画素電極56を形成し、ソース配線54間にコンタクトホール81、81を介してこれらを接続する橋絡部72を形成するとともに、この橋絡部72と半導体部63上のシリサイド層68をコンタクトホール80を介して接続させて透明導電層製のソース電極61を形成し、半導体部64上のシリサイド層68と画素電極56を接続させて透明導電層製のドレイン電極56を形成する。これにより、図5(A)と図5(B)に示す構造の薄膜トランジスタアレイ基板57を得ることができる。

【0034】以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板57を製造することができるので、前記第1の例と同様にマスクを6~7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。更に、ゲート配線53とソース配線54をCr、Mo等から成る副導電層54BとAl等からなる基部導電層54Aから構成しているため、絶縁膜55に孔コンタクトホール81を形成する際にO<sub>2</sub>プラズマ雰囲気で行っても、O<sub>2</sub>プラズマ雰囲気で行っても酸化されにくい副導電層54Bの一部が酸化されるのみであり、ソース配線54の導電率を支配する良導電性の基部導電層54Aは酸化されないため、ソース配線54の配線抵抗を低く抑えることができる。

【0035】図6(A)ないし図7(C)は本発明に係る液晶表示装置の第3の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図7(B)と図7(C)に示すように対向する透明

の基板90、91間に液晶92が挟持されて構成され、一方の基板91上にゲート配線93とソース配線94が絶縁膜95を介して交差状態で設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタ $T_1$ と線状電極96A、Bが設けられて薄膜トランジスタアレイ基板97が構成されていて、図12を基に先に説明した従来の液晶表示装置と同様に液晶92に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置Cとされている。ただし、この例で用いた構成における液晶の駆動機構は先に説明した第1の例と第2の例のものとは全く異なり、線状電極96A、96Bにより発生させた電界で液晶を配向させるものであり、線状電極96A、96Bによる液晶の駆動機構については後に詳述する。

【0036】図7(B)と図7(C)に示すようにこの第3の例の液晶表示装置Cにあっては、一方の基板91上にゲート配線93と同一平面上にゲート配線93と直交する方向にゲート配線93と接触しないように分断されたソース配線94が不連続的に形成され、ゲート配線93とソース配線94の接近部分の近傍のゲート配線93上に半導体能動膜98をドレイン電極100とソース電極101で挟んでなる薄膜トランジスタ $T_1$ が形成されている。なお、半導体能動膜98はこの例ではa-Siから形成され、ドレイン電極100およびソース電極101と半導体能動膜98とのコンタクト部分には、n'のa-Siからなる底部コンタクト膜102とシリサイド層103を積層してなるコンタクト層104が介在されている。なおまた、シリサイド層103はMo、Ta、W等のシリサイド構成元素の膜を半導体能動膜98上に成膜してから熱処理して元素拡散を行って形成されたものである。

【0037】そして、前記薄膜トランジスタ $T_1$ のドレイン電極100が酸化物透明導電材料から形成されて酸化物透明導電材料製でソース配線94と平行に設けられた線状電極(第1の画素電極)96Aに接続され、薄膜トランジスタ $T_1$ のソース電極101が酸化物透明導電材料から形成されている。また、ゲート電極93の近傍のソース配線各端部上の絶縁膜95に孔(コンタクトホール)105が形成され、これらのコンタクトホール105を介して分断された各ソース配線94を連結して導通する酸化物透明導電材料からなる橋絡部106が設けられ、前記薄膜トランジスタ $T_1$ のソース電極101が各薄膜トランジスタ近傍の橋絡部106に接続されている。なお、図7(B)に示す断面構造は図7(C)のA<sub>1</sub>-A<sub>2</sub>線に沿う断面構造である。

【0038】更に、線状電極(第2の画素電極)96Bは線状電極96Aを挟む位置に線状電極96Aと平行に2本形成され、それらが基端部96Cで連結されて図7(C)に示すように平面コ字状に形成されていて、基端部96Cにおいてソース配線94の近傍部分に突起状の

接続部96Dが形成されている。また、図7(C)に示すゲート配線93とソース配線94に囲まれた領域に線状電極96A、96Bが形成されているが、この領域に隣接する他の領域にもそれぞれ線状電極96A、96Bが形成されていて、左右に隣接する基端部96Cの接続部96Dどうしが、以下に説明するように酸化物透明導電材料製の導体接続部108で接合されている。即ち、接続部96D上の絶縁膜95には各々コンタクトホール107が形成され、これらのコンタクトホール107を介して接続部96Dに連結する導体接続部108が、ソース配線94上を横切るように設けられて各基端部96Cが連結されている。なお、図7(C)に示す液晶表示装置Cにおいては、他側の基板90に形成されるブラックマスク、カラーフィルタ等は省略して基板90のみを記載した。

【0039】以上の構造のトランジスタアレイ基板97を製造するには、まず、図6(A)に示すように基板91上に、下地がAlで表層がCr、Mo等の導電性金属材料製の導電膜を形成し、次いでレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後、レジストを剥離するパターニングを施して図6(A)に断面構造を図6(B)に平面構造を示すゲート配線93とソース配線94と線状電極96B、96Bを形成する。なお、図6(A)に示す断面構造は、図6(B)のA<sub>1</sub>-A<sub>2</sub>線に沿う断面である。ここで形成するゲート配線93とソース配線94は、製造するべき液晶表示装置の画面の大きさに合わせて必要本数形成するので、図6(B)では1本ずつのみ記載しているが、実際には図6(B)の上下方向に複数のゲート配線93が図6(B)の左右方向に複数のソース配線94が並設される。なお、前記のパターニングの際に、ソース配線94をゲート配線93に対して直角向きに形成するが、ソース配線94の端部94aをゲート配線93にショートさせないようにゲート配線93と微小間隔をあけた位置に配置させるので、結果的にソース配線94をゲート配線93と直角な方向にゲート配線93と接触しないように分断した不連続状態に形成するものとする。

【0040】次に、基板91の表面とゲート配線93とソース配線94と線状電極96Bを覆うSiN<sub>x</sub>などの絶縁材料製の絶縁膜95を基板91上に成膜し、更にその上にa-Siの半導体能動膜準備層とa-Siのn'準備層を積層し前述と同様にマスクを用いたパターニングを行ってソース配線94の近傍の薄膜トランジスタを形成するべき位置に図6(A)と図6(B)に示すアイランド状の半導体能動膜98とa-Siのn'層99を形成する。次に、n'層99上にMo、Ta、W等からなる薄膜を形成し、熱処理することでシリサイド準備層110を図6(C)に示すように形成する。この後、前記第1の例と同様に処理し、Mo、Ta、W等からなる薄膜をレジストを用いずに選択的に除去する。また、前記と



同様にマスクを用いたパターニングを行ってゲート配線93の近傍の各ソース配線94の端部94a上の絶縁膜95にそれぞれコンタクトホール105を図7(A)に示すように形成するとともに、線状電極96Bの接合部96D上の絶縁膜95にもコンタクトホール107を形成する。

【0041】次いで、ITOなどの酸化物透明導電材料からなる透明導電層109を前記絶縁膜95とシリサイド準備層110等を覆うようにこれらの上に形成する。続いて前記と同様にマスクを用いたパターニングを行って半導体能動膜98の中央部上方のn<sup>+</sup>層99の一部とシリサイド準備層110と透明導電層の一部を除去することにより、半導体能動膜98をその両側から挟んで対向するドレイン電極100とソース電極101を形成し、同時に透明導電層の不要部分を除去することにより、ゲート配線93とソース配線94に囲まれた領域に図7(B)と図7(C)に示すように線状電極96Aを形成し、同時にこの線状電極96Aにドレイン電極100を接続させ、ソース配線94の端部94aを接続する橋絡部106を形成し、この橋絡部106をソース電極101と接続し、更に、隣接する線状電極96Bの接合部96Dどうしを接合する導体接続部108をソース配線94上を横切るように形成することで図7(B)と図7(C)に示す構造の薄膜トランジスタアレイ基板97を得ることができる。

【0042】以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板27を製造することができるので、前記第1の例と同様にマスクを6〜7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。

【0043】続いて図7(B)と図7(C)に示す構造の液晶表示装置Cの偏光板の偏光方向と配向膜のラビング処理方向並びに液晶駆動機構について説明するが、その前に一般的なツイステッドネマティックモード(TNモード)のアクティブマトリクス型液晶表示装置について以下に説明する。

【0044】この種の一般的なTNモードの液晶表示素子は、偏光板と透明な電極と配向膜を具備した2枚のガラス基板を互いの配向膜の配向方向が90°異なるように間隔をあけて対向配置し、その間にネマティック液晶を90°ねじって配列できるように設けて構成されている。

【0045】ところが、近年、この種のTNモードの液晶表示素子にあっては、その視野角依存性が問題となっている。この問題を解決できる構造が、線状電極96A、96Bを用いた図7(B)に示す液晶表示装置Cである。前述の構成の液晶表示装置Cにおいて、配向膜の

配向方向と液晶92を構成する液晶分子92Aの向き等をまとめて図8と図9に示す。液晶表示装置Cにあっては、液晶を挟む上下両側の基板にそれぞれ液晶駆動用の電極を設けるのではなく、図7(B)に示す下方の基板91側のみに異なる極の2種の線状電極96A…、96B…を互いに離間させて設け、上方の基板90に電極を設けない構成とし、電圧の印加により、両線状電極96A、96B間に発生した電界の方向に沿って液晶分子92A…を配向させることができるようになっている。図8に線状電極96A、96Bとスイッチング素子としての薄膜トランジスタT<sub>1</sub>および電源119の接続関係を示す。また、図9(A)に示すように上の基板90の液晶側の面に配向膜を形成してβ方向に液晶分子92Aが並ぶように配向処理が施され、下の基板91の液晶側の面に配向膜を形成して前記β方向と平行なγ方向に液晶分子92Aが並ぶように配向処理が施され、それぞれの基板90、91の外側に従来の一般的な構成の場合と同様の偏光板が配置される。

【0046】以上のような構成によれば、線状電極96A、96B間に電圧が印加されていない状態で液晶分子92A…は、図9(A)に示すように一律に同方向にホモジニアス配向する。そして、この状態で下の基板91を通過した光線は、偏光板によりα方向に偏光されており、液晶分子92Aの層をそのまま透過し、上の基板90の異なるβ方向の偏光板に到達するので、その偏光板で遮断され、光線は液晶表示素子を透過することがないので、液晶表示素子は暗状態となる。(ノーマリーブラックモード)

次に、線状電極96A、96B間に電圧を印加すると、液晶分子のうち、下の基板91に接近した液晶分子92A…はその配向方向が線状電極96A、96Bの長手方向に対して垂直に変換される。即ち、線状電極96A、96Bの長手方向に対し垂直な方向の電気力線が発生し、下の基板91に形成されていた配向膜によってγ方向に長手方向を向けて配向していた液晶分子92Aが、配向膜の規制力よりも強い電界の規制力によってγ方向とは垂直なα方向に配向方向が変換される。よって、線状電極96A、96B間に電圧が印加されると、図9(B)に示すように90°ツイスト配向がなされる。この状態であると、下の基板91を透過し、α方向に偏光した偏光光線は、ツイストした液晶92A…によってその偏光方向が変換され、α方向とは異なるβ方向の偏光板の設けられた上の基板90を透過できるようになり、液晶表示素子は明状態となる。ここで図9(A)に示す状態の液晶分子92A…に対して図9(C)に示すように異なった方向から透過光線が入射しても透過光線の角度によって屈折率n<sub>1</sub>'とn<sub>2</sub>'が同じになるために視野角依存性は生じ難くなる。なお、図9(B)に示すように線状電極96A、96Bの直上に存在する液晶分子92A…は電気力線に沿って起立した状態となるが、この

状態は明状態であり、起立した液晶分子92A…は透過光を通過させるような働きをするので、表示状態に悪影響はない。

【0047】図10(A)ないし図11(C)は本発明に係る液晶表示装置の第4の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図11(B)と図11(C)に示すように対向する透明の基板130、131間に液晶132が挟持されて構成され、一方の基板131上にゲート配線133とソース配線134が絶縁膜135を介して交差状態で設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタT<sub>1</sub>と線状電極136A、136Bが設けられて薄膜トランジスタアレイ基板137が構成されていて、図7(B)あるいは図7(C)で説明した液晶表示装置Cと同様に液晶132に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置Dとされている。

【0048】図11(B)と図11(C)に示すようにこの第4の例の液晶表示装置Dにあっては、一方の基板131上の絶縁膜135内にゲート配線133と直交する方向にゲート配線133と接触しないように分断されているソース配線134が不連続的に形成され、ゲート配線133とソース配線134の接近部分の近傍のゲート配線133上に薄膜トランジスタT<sub>1</sub>が形成されている。なお、図11(B)に示す断面構造は、図11(C)に示すA<sub>1</sub>—A<sub>1</sub>′線に沿う断面である。前記のゲート配線133はA1などの良導電性金属からなる基部導電層133Aと、その上に形成されたCr、Mo等の配線用金属材料からなる副導電層133Bとからなる2重構造とされ、ソース配線134も同様にA1等の良導電性金属からなる基部導電層134Aとその上に形成されたCr、Mo等の配線用材料からなる副導電層134Bとからなる2重構造とされている。

【0049】前記の薄膜トランジスタT<sub>1</sub>は、左右のn<sup>+</sup>層となる半導体部143、144に挟まれて半導体基部145が設けられ、半導体基部145上に絶縁膜146を介してゲート電極147が形成され、半導体部143、144上にシリサイド層148がそれぞれ形成され、半導体基部145の上部で半導体部143、144に挟まれた部分にチャネル部149が形成されるようになっている。次に、各シリサイド層148上の絶縁膜145には各々コンタクトホール150が形成され、このコンタクトホール150を介してITOなどの酸化物透明導電材料製のドレイン電極160とソース電極161が各シリサイド層148に接触するように設けられ、ドレイン電極160にはゲート配線133とソース配線134とに囲まれた領域に設けられた酸化物透明導電材料製の線状電極136Aが接続され、ソース電極161にはソース配線134が接続されている。

【0050】更に、分断されたソース配線134におい

てゲート配線133に近い部分の各端部134a上の絶縁膜135にはコンタクトホール171が各々形成されていて、これらのコンタクトホール171を介して設けられた酸化物透明導電材料製の橋格部172によって前記の分断されたソース配線134が導通されている。また、ゲート配線133とソース配線134とで囲まれた領域に設けられている線状電極136Aはこの例ではゲート配線133と平行に配置され、さらにこの線状電極136Aの幅方向両側にはこれを挟むように一對の線状電極136B、136Bが線状電極136Aと平行に設けられ、各線状電極136Bは基部部136Cにて一体化され、一方の線状電極136Bの端部がソース配線134の近傍まで延長されている。そして、ソース配線134とゲート配線133とで囲まれた線状電極136Bが設けられた領域に隣接する他の領域の線状電極136Bの端部もソース配線134の近傍まで延出されていて、ソース配線134を挟んでその両側に位置する線状電極136Bの端部どうしが、それらの上の絶縁膜135に形成されたコンタクトホール173を介してソース配線134上を横切って設けられた導体接続部174によって接続されている。

【0051】以上の構成の薄膜トランジスタT<sub>1</sub>は、ゲート配線133とソース配線134の交差部分近傍のゲート配線133を含むように形成されていて、ゲート配線133の一部がゲート電極147を兼ねるように設けられ、ゲート電極147によって薄膜トランジスタT<sub>1</sub>のスイッチングの切り換えがなされるようになっている。

【0052】以上の構造のトランジスタアレイ基板137を製造するには、まず、基板131上に水素化アモルファスシリコン(a-Si:H)からなる薄膜を形成し、これにレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターンニングを施して図10(A)に断面構造を示すアイランド状の半導体準備膜180を形成する。なお、この半導体準備膜180を形成する位置は、基板131上において目的とする薄膜トランジスタの半導体部を形成しようとする位置とする。次に、図10(B)に示すように半導体準備膜180と基板131を覆うようにSiN<sub>x</sub>などからなる絶縁膜184を形成し、更にその上にA1等の良導電材料からなる基部導電膜186とCr、Mo等の配線材料からなる副導電膜187を形成する。次に、絶縁膜184と基部導電膜186と副導電膜187にパターンニングを施して図10(C)に断面構造を図10(D)に平面構造を示すゲート配線133とソース配線134を形成し、半導体準備膜180上のゲート配線133をゲート電極147とする。また、前記のパターンニングにあたり、各ゲート配線133とソース配線134はパターンニングされた絶縁膜189を介して基板131上あるいは半導体準備膜180上に設けられた状態

となる。次に、ここで形成するゲート配線133とソース配線134は、それぞれ2層構造とされ、製造するべき液晶表示装置の画面の大きさに合わせて必要数形成されるので、図10(D)では1本ずつのみ記載しているが、実際には図10(D)の上下方向に複数のゲート配線133が図10(D)の左右方向に複数のソース配線134が並設される。なお、図10(C)に示される断面構造は、図10(D)のA<sub>1</sub>-A<sub>1</sub>線に沿う断面である。前記のパターニングの際に、ソース配線134をゲート配線133に対して直角向きに形成するが、ソース配線134の端部134aをゲート配線133にショートさせないようにゲート配線133と微小間隔をあけた位置に配置させるので、結果的にソース配線134をゲート配線133と直角な方向にゲート配線133と接触しないように分断された不連続状態に形成するものとする。

【0053】次に、ゲート電極147とその下方の絶縁膜189をマスクとして半導体準備膜180にイオンドーピング処理を行ってn<sup>+</sup>層を形成し、半導体部143、144に挟まれた半導体基部145を形成するとともに、この後に半導体部143、144上にMo、Ta、W等のシリサイド層形成用の薄膜を形成し、熱処理して半導体部143、144との間に元素拡散を行って半導体部143、144上にシリサイド層148、148を図11(A)に示すように形成する。この後、前記第1の例と同様にシリサイド化していないMo、Ta、W等からなる金属薄膜をレジストを用いずに選択的に除去する。次いでこれらの膜の上にSiN<sub>x</sub>等からなる絶縁膜135を被覆し、更に、前記と同様にマスクを用いたパターニングを行ってシリサイド層148上の絶縁膜135にコンタクトホール150を形成するとともにゲート配線133の近傍の各ソース配線134の端部134a上の絶縁膜135にそれぞれ孔(コンタクトホール)171を形成する。

【0054】次いで、ITOなどの酸化物透明導電材料からなる透明導電層をこれらの上に形成するとともにパターニングを行って、ソース配線134とゲート配線133に囲まれた領域で線状電極136B、136B間に線状電極136Aを形成し、ソース配線134の端部134a上の絶縁膜135に孔(コンタクトホール)171、171を介してこれらを接続する橋絡部172を形成するとともに、この橋絡部172と半導体部143上のシリサイド層148をコンタクトホール150を介して接続させて酸化物透明導電材料製のソース電極161を形成し、半導体部144上のシリサイド層148と線状電極136Aを接続させて酸化物透明導電材料製のドレイン電極160を形成するとともに、隣接する線状電極136Bの接合部どうしを接合する導体接続部174をソース配線134上を横切るように形成することで隣接する領域どうしの線状電極136Bを接続する。これ

により、図11(B)と図11(C)に示す構造の薄膜トランジスタアレイ基板137を得ることができる。

【0055】以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板57を製造することができるので、前記第1の例と同様に、マスクを6〜7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。また、この例の構造の液晶表示装置Dにあっては、線状電極136A、136Bを用いて先の第3の例の場合と同様に視角依存性の少ない高品質の表示状態を得ることができる。

【0056】ところで、以上説明した構造においては2本の線状電極と1本の線状電極を異なる極の対電極としたが、3本あるいはそれ以上の本数の線状電極を互いに対になるように設けても良いのは勿論である。また、分断した形で形成するのは、ソース配線に限らず、ゲート配線であっても良い。従ってゲート配線を分断した形で形成した場合は、ソース配線を分断していない連続状態に形成し、このソース配線に接触しないように分断状態に不連続させてゲート配線を形成し、その上に形成した絶縁膜に孔(コンタクトホール)を形成し、それらのコンタクトホールを介して絶縁膜上に橋絡部を形成することで分断されたゲート配線を1本に連続させることができる。本発明においてはこのような構造を採用することもできる。

【0057】

【発明の効果】以上説明したように本発明によれば、ソース配線とゲート配線の一方を分断した形に形成し、ソース配線とゲート配線の一方を導電材料製の橋絡部で導通させるとともに、画素部を橋絡部と同じ導電材料で形成したので、画素部を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができるとともに、パターニングに際して使用するマスク枚数を従来方法より少なく、必要最低限に抑えることができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。また、画素部を第1と第2の画素電極を組み合わせる構成であっても、ソース配線とゲート配線の一方を分断した形に形成し、ソース配線あるいはゲート配線を導電材料製の橋絡部で導通させ、同時に橋絡部と同一の導電材料で第1の画素電極を形成した構成なので、第1の画素電極を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができるとともに、パターニングに際して使用するマスク枚数を従来方法より少なく、必要最低限に抑えることができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。

【0058】次に、画素電極を電氣的にオンオフする薄

膜トランジスタのドレイン電極を画素電極と一体的に形成するならば、あるいは、第1の画素電極を電氣的にオンオフする薄膜トランジスタのドレイン電極と第1の画素電極を一体的に形成するならば、画素電極とドレイン電極を、あるいは、第1の画素電極とドレイン電極を同時に同じ導電材料で形成することができ、これにより工程の簡略化と歩留まりの向上効果を得ることができる。また、画素電極を電氣的にオンオフする薄膜トランジスタのソース電極を橋絡部と一体的に形成するならば、橋絡部とソース電極を同時に同じ導電材料で形成することができ、これにより工程の簡略化と歩留まりの向上効果を得ることができる。

【0059】更に、ソース配線とゲート配線の一方を分断状態に形成し、これらを連結する橋絡部と画素電極とを同一導電材料で構成し、更に、前記画素電極を協同して電位を発生させる第1の画素電極と第2の画素電極とから構成した場合に、第1あるいは第2の画素電極を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができるとともに、パターニングに際して使用するマスク枚数を従来方法より少なく、必要最低限に抑えることができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。

【0060】次に、分断したゲート配線あるいはソース配線の表面をクロムまたはモリブデンから構成することで、それらの上に絶縁膜を形成し、この絶縁膜に孔を設けて橋絡部で分断したゲート配線あるいはソース配線を接続する構成とした場合に、酸化物透明導電材料で橋絡部を構成しても、ゲート配線あるいはソース配線の接続部分を酸化させてコンタクト抵抗を増加させてしまうおそれは少なくなり、分断されたゲート配線あるいはソース配線を良好な接続状態にすることができる。

#### 【図面の簡単な説明】

【図1】 図1(A)は、本発明に係る液晶表示装置の第1の例を製造する方法において基板上にゲート配線とソース配線と絶縁膜と半導体層とn<sup>+</sup>層を形成した状態を示す断面図、図1(B)は、図1に示す状態の要部を示す平面図、図1(C)は、第1の例を製造する方法においてn<sup>+</sup>層上にシリサイド層を形成した状態を示す断面図である。

【図2】 図2(A)は、第1の例を製造する方法において絶縁膜とシリサイド層上に透明導電層を形成した状態を示す断面図、図2(B)は、本発明に係る液晶表示装置の第1の例を示す断面図、図2(C)は、図1(B)に示す液晶表示装置の第1の例の要部を示す平面図である。

【図3】 第1の例の液晶表示素子の等価回路の一例を示す図。

【図4】 図4(A)は、本発明に係る液晶表示装置の第2の例を製造する方法において基板上に半導体予備膜

を形成した状態を示す断面図、図4(B)は基板上と半導体膜上に2層構造の導電層を形成した状態を示す断面図、図4(C)は、図4(B)に示す2層構造の導電層と絶縁膜をパターニングした状態を示す断面図、図4(D)は図4(C)の状態の要部を示す平面図である。

【図5】 図5(A)は、第2の例を製造する方法において半導体膜に半導体部と半導体基部を形成した状態を示す断面図、図5(B)は、第2の例を示す断面図、図5(C)は、第2の例の液晶表示装置の要部を示す平面図である。

【図6】 図6(A)は、本発明に係る液晶表示装置の第3の例を製造する方法において基板上に各種配線と絶縁膜と半導体膜を形成した状態を示す断面図であり、図6(B)は、図6(A)に示す状態の要部を示す平面図、図6(C)は、半導体膜の上にシリサイド層を形成した状態を示す断面図である。

【図7】 図7(A)は、第3の例を製造する方法において絶縁膜にコンタクトホールを形成し、シリサイド層上と絶縁膜上とコンタクトホールに透明導電層を形成した状態を示す断面図、図7(B)は、発明に係る液晶表示装置の第3の例を示す断面図、図7(C)は、図7(B)に示す構造の要部を示す平面図である。

【図8】 図8(A)は第3の例における線状電極と配向方向と電源の関係を示す図、図8(B)は線状電極間の液晶分子の配向状態を示す図。

【図9】 図9(A)は線状電極を用いていない一般の液晶表示装置構造において、電界を印加していない状態の液晶分子の配向状態を示す図、図9(B)は電界を印加した状態の液晶分子の配向状態を示す図、図9(C)は液晶分子の配向状態と透過光屈折率を説明するための図。

【図10】 図10(A)は、本発明に係る液晶表示装置の第4の例を製造する方法において基板上に半導体膜を形成した状態を示す断面図、図10(B)は、基板上と半導体膜上に2層構造の導電層を形成した状態を示す断面図、図10(C)は2層の導電層と絶縁膜をパターニングした状態を示す断面図、図10(D)は、図の状態の要部を示す平面図。

【図11】 図11(A)は、第4の例を製造する方法において半導体膜に半導体部と半導体基部とシリサイド層を形成した状態を示す断面図、図11(B)は、本発明に係る液晶表示装置の第4の例を示す断面図、図11(C)は、第4の例の液晶表示装置の要部を示す平面図である。

【図12】 従来の薄膜トランジスタアレイ基板の一構造例を示す平面図である。

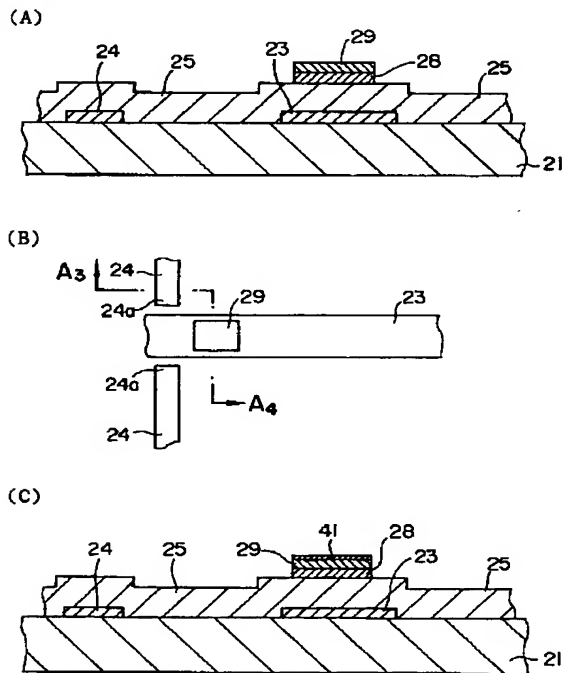
【図13】 従来の薄膜トランジスタアレイ基板の一構造例の断面図である。

【図14】 従来の一例を示す接続回路図である。

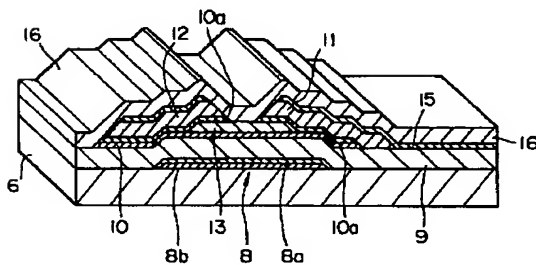
【符号の説明】

	23		24
基板	21、51、91、13	*半導体能動膜	28、98、
1、		ドレイン電極	30、60、100、1
液晶	22、52、92、13	60、	
2、		ソース電極	31、61、101、1
ゲート配線	23、53、93、13	61、	
3、		孔(コンタクトホール)	35、81、105、1
ソース配線	24、54、94、13	07、171、173、	
4、		橋絡部	36、72、106、1
絶縁膜	25、55、95、13	72、	
5、		10 n <sup>+</sup> 層	29、99、
画素部(画素電極)	26、56、	シリサイド層	33、103、
薄膜トランジスタ	T <sub>1</sub> 、T <sub>2</sub> 、T <sub>3</sub> 、T <sub>4</sub> 、	コンタクト層	34、104、
薄膜トランジスタアレイ基板	27、57、97、13	半導体準備膜	75、180、
7、		* 導体接続部	108、173、

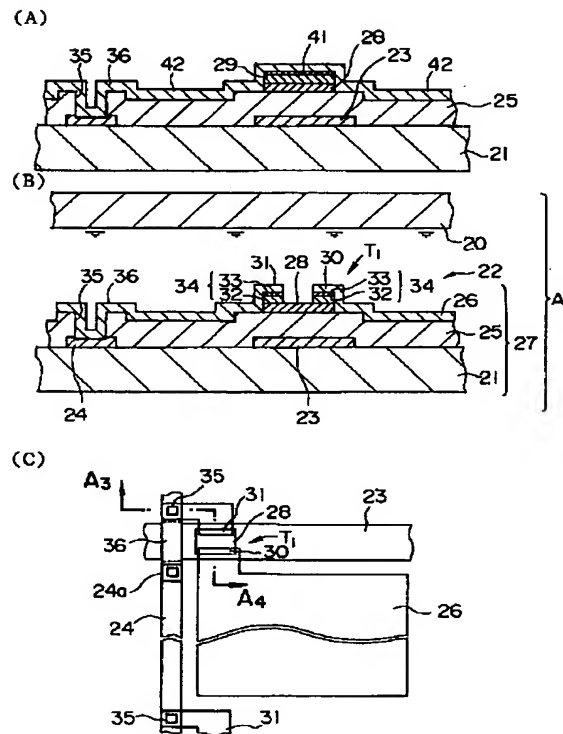
【図1】



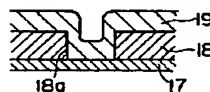
【図13】



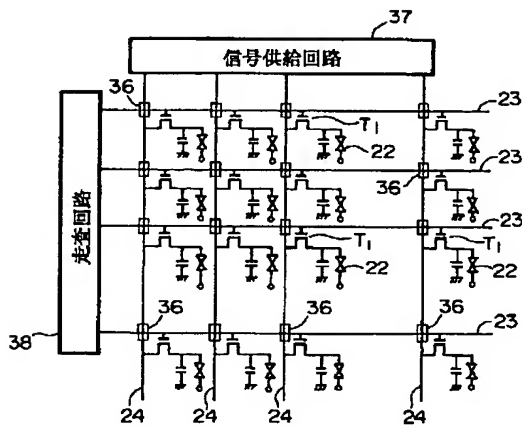
【図2】



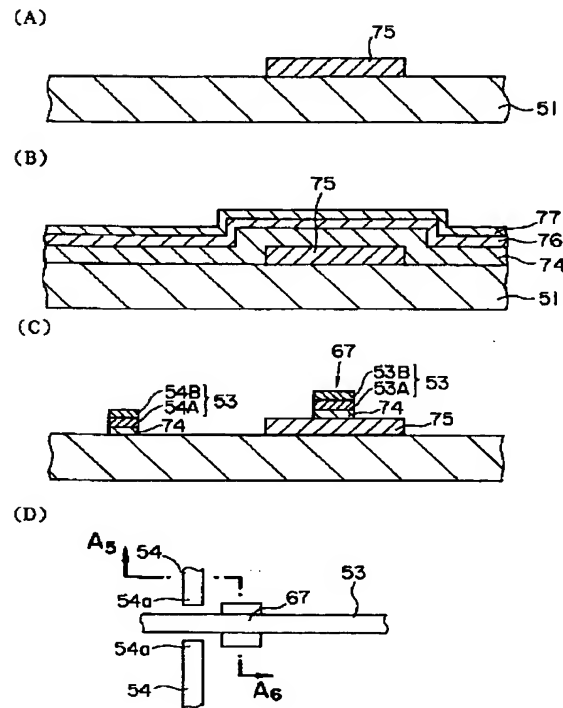
【図14】



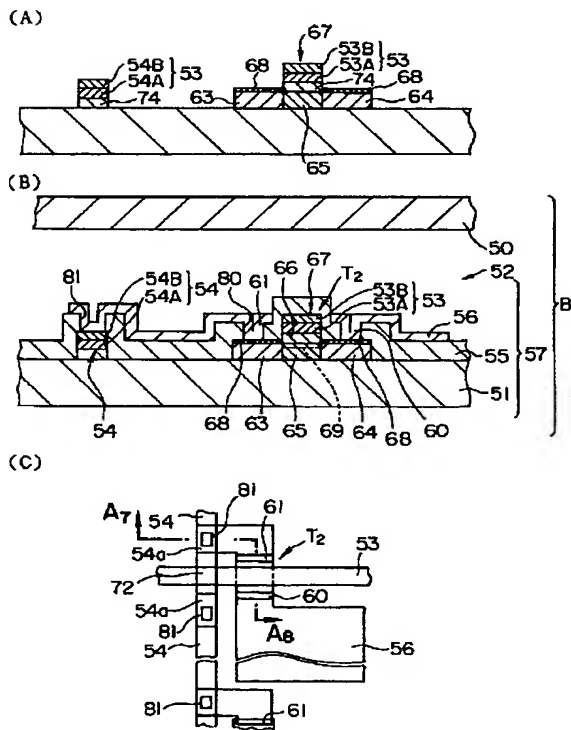
【図3】



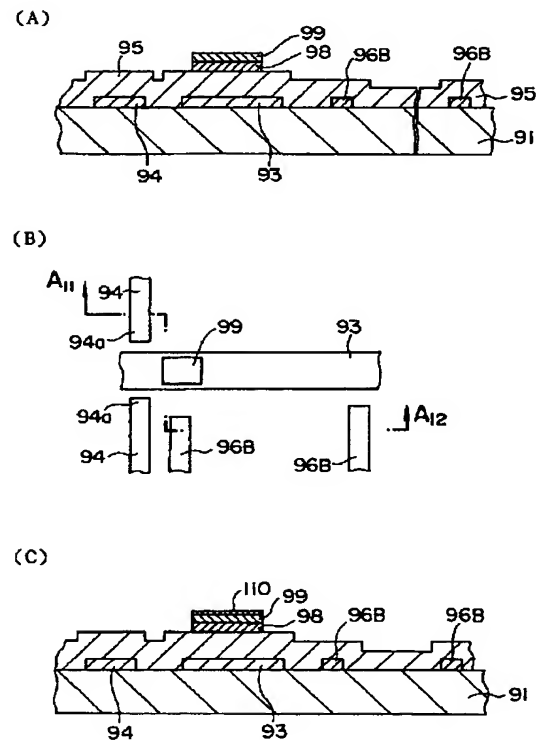
【図4】



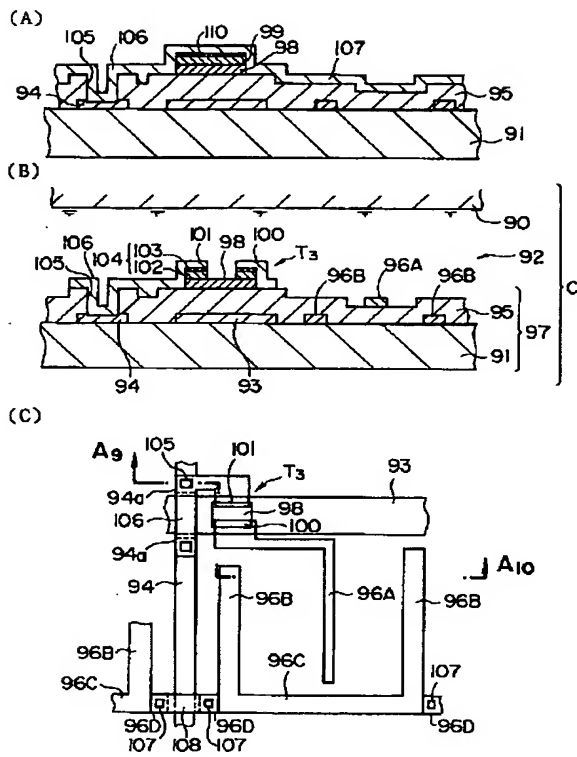
【図5】



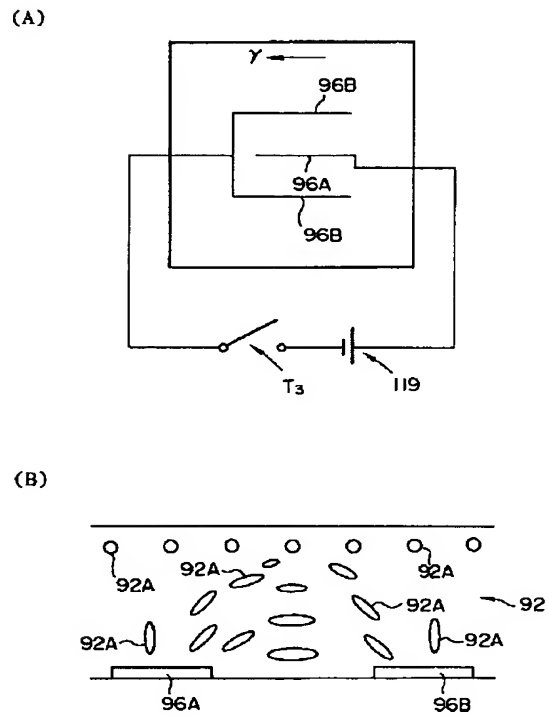
【図6】



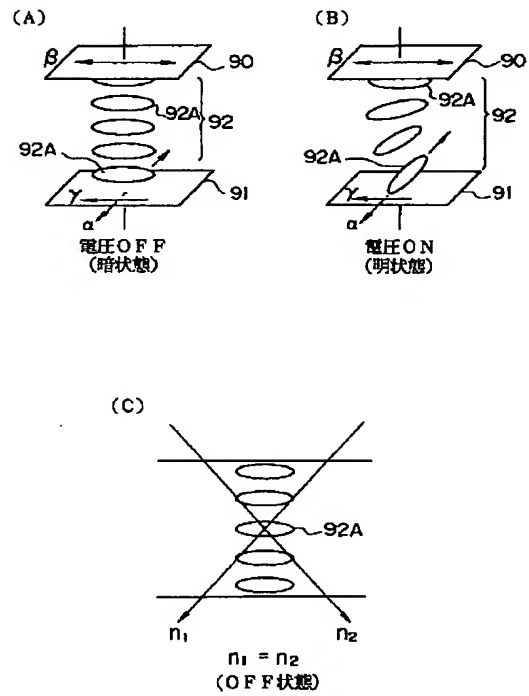
【図7】



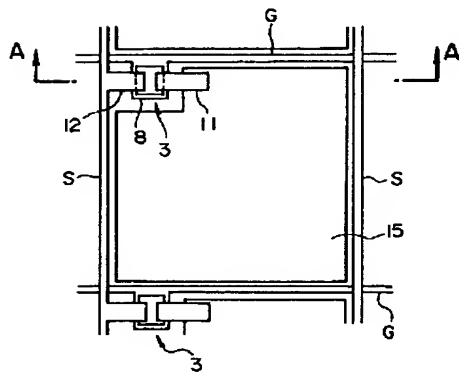
【図8】



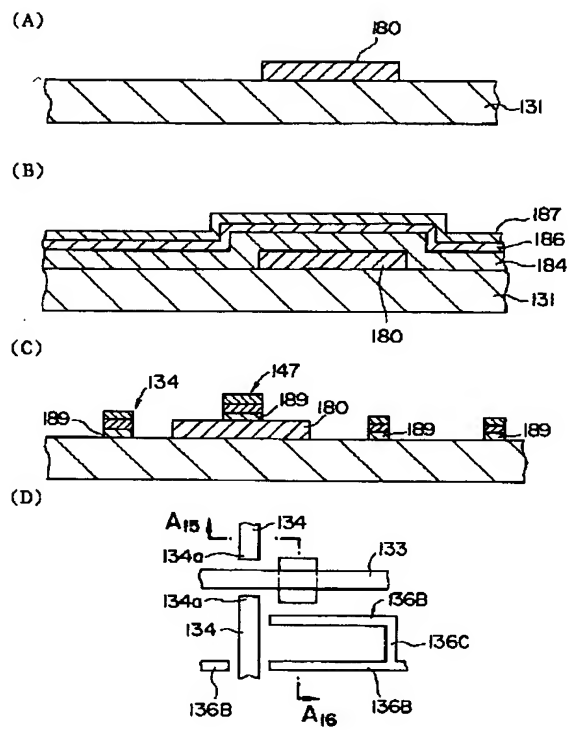
【図9】



【図12】



【図10】



【図11】

